

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-261408

(43) 公開日 平成11年(1999) 9月24日

(51) Int.Cl.<sup>6</sup>

識別記号

FI

H03L 7/00

H03L 7/00

D

H03K 5/13

H03K 5/13

審査請求 未請求 請求項の数38 OL (全 30 頁)

(21) 出願番号 特願平10-135610

(22) 出願日 平成10年(1998) 5月18日

(31) 優先権主張番号 特願平10-2254

(32) 優先日 平10(1998) 1月8日

(33) 優先権主張国 日本 (JP)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 田村 孝孝

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 後藤 公太郎

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 弁理士 石田 敬 (外4名)

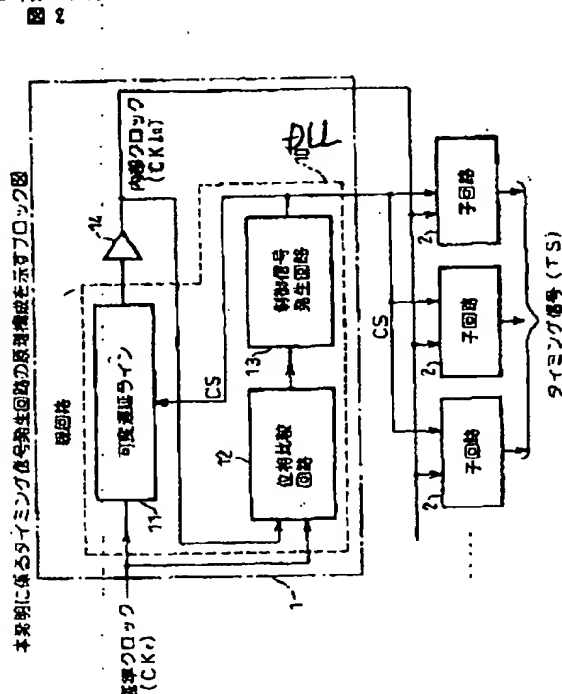
最終頁に続く

(54) 【発明の名称】 位相インターポレータ、タイミング信号発生回路、および、該タイミング信号発生回路が適用される半導体集積回路装置並びに半導体集積回路システム

(57) 【要約】

【課題】 多ビットの伝送においては、各ビットにおける最適な受信タイミングが異なるため、各ビット毎に、例えば、DLL回路を設ける必要があるが、そうすると回路規模が大きくなり過ぎるという課題がある。

【解決手段】 入力された基準信号CK<sub>r</sub>と同一の周期或いは位相を有する内部信号CK<sub>in</sub>をフィードバック制御して生成する親回路1と、該親回路1からの内部信号CK<sub>in</sub>および制御信号CSを受け取って、前記基準信号CK<sub>r</sub>に対して所定のタイミングを有するタイミング信号TSを発生する子回路2とを備えるように構成する。



9/

(2)

特開平11-261408

1

## 【特許請求の範囲】

【請求項1】 入力された基準信号と同一の周期或いは位相を有する内部信号をフィードバック制御して生成する親回路と、

該親回路からの内部信号および制御信号を受け取って、前記基準信号に対して所定のタイミングを有するタイミング信号を発生する子回路とを具備することを特徴とするタイミング信号発生回路。

【請求項2】 請求項1に記載のタイミング信号発生回路において、前記子回路は、1つの親回路に対して複数個設けられていることを特徴とするタイミング信号発生回路。

【請求項3】 請求項1または2に記載のタイミング信号発生回路において、前記親回路は、前記子回路に対応した回路を備え、該親回路自身もタイミング信号を出力するようになっていることを特徴とするタイミング信号発生回路。

【請求項4】 請求項1～3のいずれか1項に記載のタイミング信号発生回路において、前記親回路は、前記基準信号および前記内部信号の周期或いは位相を比較する比較回路と、該比較回路の出力に応じて前記制御信号を変化させる制御信号発生回路と、該制御信号により前記基準信号の遅延量を制御して前記内部信号を出力する可変遅延ラインとを具備することを特徴とするタイミング信号発生回路。

【請求項5】 請求項4に記載のタイミング信号発生回路において、前記親回路はD.L.L回路であり、該D.L.L回路は粗い遅延制御を行う粗遅延制御部および微細な遅延制御を行う微細遅延制御部を有し、前記子回路は該微細遅延制御部に対応した回路を備えていることを特徴とするタイミング信号発生回路。

【請求項6】 請求項5に記載のタイミング信号発生回路において、前記粗遅延制御部は、複数の遅延ユニットを備えた遅延ラインからタップを取り出し、該各タップの出力を選択して粗い遅延制御を行い、且つ、前記微細遅延制御部は、該粗遅延制御部におけるD.L.L回路を制御するための信号および該粗遅延制御部からの粗い遅延制御が行われた信号を受け取り、該粗い遅延制御の信号から位相インターポレータを使用して微細な遅延制御を行うようになっていることを特徴とするタイミング信号発生回路。

【請求項7】 請求項1～3のいずれか1項に記載のタイミング信号発生回路において、前記親回路は、前記基準信号および前記内部信号の周期或いは位相を比較する比較回路と、該比較回路の出力に応じて前記制御信号を変化させる制御信号発生回路と、該制御信号に応じて前記基準信号に対応した内部信号を発生する電圧制御発振器とを具備することを特徴とするタイミング信号発生回路。

【請求項8】 請求項7に記載のタイミング信号発生回

2

路において、前記子回路は、前記親回路からの制御信号に応じて前記タイミング信号を出力する電圧制御発振器を備えていることを特徴とするタイミング信号発生回路。

【請求項9】 請求項4～8のいずれか1項に記載のタイミング信号発生回路において、前記制御信号発生回路は、前記比較回路からのアップ信号およびダウン信号に応じて出力の電圧レベルを制御するチャージポンプ回路を具備することを特徴とするタイミング信号発生回路。

10 【請求項10】 請求項4～8のいずれか1項に記載のタイミング信号発生回路において、前記制御信号発生回路は、前記比較回路からのアップ信号およびダウン信号をカウントするアップダウンカウンタと、該アップダウンカウンタの出力をディジタル-アナログ変換するD/Aコンバータを具備することを特徴とするタイミング信号発生回路。

【請求項11】 請求項1～10のいずれか1項に記載のタイミング信号発生回路において、前記子回路は、前記親回路からの制御信号により前記内部信号を遅延して前記タイミング信号を出力する可変遅延ラインを備えていることを特徴とするタイミング信号発生回路。

【請求項12】 請求項1～10のいずれか1項に記載のタイミング信号発生回路において、前記子回路は、異なる複数相の入力信号を受け取ってより細かい中間位相のタイミング信号を出力する位相インターポレータを備えていることを特徴とするタイミング信号発生回路。

【請求項13】 請求項12に記載のタイミング信号発生回路において、前記複数相の入力信号は、3相または4相のクロックであることを特徴とするタイミング信号発生回路。

【請求項14】 請求項12または13に記載のタイミング信号発生回路において、前記位相インターポレータは、複数の入力電圧信号をそれぞれ電流信号に変換する電圧-電流変換手段と、変換された電流信号を電圧変換係数を変化させて再び電圧信号に変換する電流-電圧変換手段と、該得られた電流信号を足し合わせた上で前記基準信号と比較する比較手段とを具備することを特徴とするタイミング信号発生回路。

【請求項15】 請求項1に記載のタイミング信号発生回路において、前記親回路から子回路に送る制御信号を制御電流信号としたことを特徴とするタイミング信号発生回路。

【請求項16】 請求項15に記載のタイミング信号発生回路において、前記親回路に前記制御電流信号を生成する制御電流信号生成回路を設け、且つ、前記子回路に該制御電流信号を電圧信号に変換する電流-電圧変換回路を設けるようにしたことを特徴とするタイミング信号発生回路。

【請求項17】 請求項1～16のいずれか1項に記載のタイミング信号発生回路において、前記子回路は、前

50

16/

(3)

特開平11-261408

3

4

記親回路からの信号に応じて応答速度が変化する増幅回路を備え、前記タイミング信号として正弦波形状の信号を発生するようになっていることを特徴とするタイミング信号発生回路。

【請求項18】 請求項1～17のいずれか1項に記載のタイミング信号発生回路において、前記子回路は、1ビット或いは複数ビットの入力或いは出力信号のタイミングを制御するタイミング信号を発生するために使用され、且つ、該タイミング信号発生回路は、該各子回路に共通に設けられ、該タイミング信号を送受信される信号のS/N比が大きくなるように調整するタイミング信号調整手段を備えていることを特徴とするタイミング信号発生回路。

【請求項19】 請求項18に記載のタイミング信号発生回路において、前記タイミング信号調整手段は、各子回路からのタイミング信号により制御される回路の入力或いは出力信号を選択する選択手段と、該選択手段により選択された回路の入力或いは出力信号のレベルを検出して当該タイミング信号の出力タイミングを制御するためのタイミング信号発生手段を備えていることを特徴とするタイミング信号発生回路。

【請求項20】 請求項1～17のいずれか1項に記載のタイミング信号発生回路において、前記子回路は、1ビット或いは複数ビットの入力或いは出力信号のタイミングを制御するタイミング信号を発生するために使用され、且つ、該各子回路は、該タイミング信号を送受信される信号のS/N比が大きくなるように調整するタイミング信号調整手段を備えていることを特徴とするタイミング信号発生回路。

【請求項21】 請求項1～20のいずれか1項に記載のタイミング信号発生回路が適用される半導体集積回路装置であって、前記親回路および前記子回路は、1つのチップを構成する半導体集積回路装置に設けられていることを特徴とする半導体集積回路装置。

【請求項22】 請求項1～20のいずれか1項に記載のタイミング信号発生回路が適用される半導体集積回路システムであって、前記親回路および前記子回路は、それぞれ異なるチップとして複数の半導体集積回路装置に設けられていることを特徴とする半導体集積回路システム。

【請求項23】 デジタル的な値の振幅を有するデジタル周期信号からアナログ的な値を有するアナログ周期波形を生成するアナログ周期波形生成手段と、前記各アナログ周期波形の重み付けを制御する重み付け制御手段と、時間軸のずれたデジタル周期信号から前記アナログ周期波形生成手段により得られる複数のアナログ周期波形を加算して加算波形を生成する加算波形生成手段と、前記加算波形をデジタル波形に変換するアナログ/デジタル変換手段とを具備することを特徴とする位相インターポレータ。

【請求項24】 請求項23に記載の位相インターポレータにおいて、前記アナログ周期波形生成手段は、正弦波生成回路を備え、前記重み付け制御手段は、並列に接続された複数のトランスファークゲートを備え、該トランスファークゲートの接続を制御するようになっていることを特徴とする位相インターポレータ。

【請求項25】 請求項24に記載の位相インターポレータにおいて、前記重み付け制御手段の各トランスファークゲートはそれぞれ同じサイズのトランジスタを有し、該トランスファークゲートを導通する数を制御することで前記アナログ周期波形の重み付けを制御するようになっていることを特徴とする位相インターポレータ。

【請求項26】 請求項24に記載の位相インターポレータにおいて、前記重み付け制御手段の各トランスファークゲートはそれぞれ異なるサイズのトランジスタを有し、所定のサイズのトランジスタを有する少なくとも1つのトランスファークゲートを導通することで前記アナログ周期波形の重み付けを制御するようになっていることを特徴とする位相インターポレータ。

【請求項27】 請求項23に記載の位相インターポレータにおいて、前記アナログ周期波形生成手段は、複数のCMOSインバータを備え、前記重み付け制御手段は、該複数のCMOSインバータの接続個数を制御するようになっていることを特徴とする位相インターポレータ。

【請求項28】 請求項23に記載の位相インターポレータにおいて、前記アナログ周期波形生成手段は、複数のCMOSインバータの出力段を備え、前記重み付け制御手段は、該複数のCMOSインバータの出力段を構成する出力トランジスタの個数を制御するようになっていることを特徴とする位相インターポレータ。

【請求項29】 請求項23に記載の位相インターポレータにおいて、前記アナログ周期波形生成手段は、前記デジタル周期信号の高周波成分を減衰させる高周波成分減衰回路であり、前記重み付け制御手段は、該高周波成分減衰回路の出力を可変トランスコンダクタにより電流変換し、該変換された電流を共通の端子に加えるように構成されていることを特徴とする位相インターポレータ。

【請求項30】 請求項29に記載の位相インターポレータにおいて、前記アナログ周期波形生成手段は、積分回路であることを特徴とする位相インターポレータ。

【請求項31】 請求項23に記載の位相インターポレータにおいて、前記アナログ周期波形生成手段および加算波形生成手段は、前記デジタル周期信号により定電流源から共通の容量負荷に流れる電流の極性を切り替える電流極性切り替え手段と、該電流源の電流値を制御する電流値制御手段を具備していることを特徴とする位相インターポレータ。

50 【請求項32】 請求項31に記載の位相インターポ

(4)

特開平11-261408

5

6

ータにおいて、前記電流値制御手段は、前記電流源の電流値をD/Aコンバータの出力によって制御するようになっていることを特徴とする位相インターポレータ。

【請求項33】 請求項23に記載の位相インターポレータにおいて、前記アナログ/ディジタル変換手段は、前記加算波形を基準レベルと比較してディジタル波形に変換するコンパレータであることを特徴とする位相インターポレータ。

【請求項34】 請求項23に記載の位相インターポレータにおいて、前記重み付け制御手段は、電流出力のD/Aコンバータを備え、該D/Aコンバータの出力は、容量接続された端子またはその相補の端子のいずれかに切り替えられて接続制御されるようになっていることを特徴とする位相インターポレータ。

【請求項35】 請求項23に記載の位相インターポレータにおいて、前記重み付け制御手段は、負荷容量端子に接続される電流源の数を切り替えるように構成されていることを特徴とする位相インターポレータ。

【請求項36】 請求項23に記載の位相インターポレータにおいて、前記重み付け制御手段は、端子の電圧レベルを一定の範囲にするためのクランプ回路を備えていることを特徴とする位相インターポレータ。

【請求項37】 請求項23に記載の位相インターポレータにおいて、該位相インターポレータは、制御信号に対するタイミング出力の線形性を所望の特性にするために、切り替えられるトランジスタの寸法やD/Aコンバータの量子化ステップを可変にするようになっていることを特徴とする位相インターポレータ。

【請求項38】 請求項12に記載のタイミング信号発生回路において、前記位相インターポレータは、請求項23～37のいずれか1項に記載の位相インターポレータであることを特徴とするタイミング信号発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は位相インターポレータ、タイミング信号発生回路、および、該タイミング信号発生回路が適用される半導体集積回路装置並びに半導体集積回路システムに関し、特に、LSIチップ間の信号伝送、或いは、1つのチップ内における複数の素子や回路ブロック間での信号伝送を高速化するためのタイミング信号発生回路に関する。

【0002】近年、LSI (Large Scale Integration Circuit)チップ間の信号伝送、例えば、DRAM (Dynamic Random Access Memory) とプロセッサ (論理回路) との間の信号伝送、或いは、1つのLSIチップ (半導体集積回路装置) における複数の素子や回路ブロック間での信号伝送を高速に行うことが必要となって来ている。そして、基準クロックに同期して所定の位相差を有する複数のタイミング信号を、簡単な構成でしかも高精度に発生することのできるタイミング信号発生回路の提

供が要望されている。

【0003】

【従来の技術】近年、コンピュータやその他の情報処理機器を構成する部品の性能は大きく向上し、特に、DRAMおよびプロセッサの性能は、時代と共に大きく向上して来た。すなわち、プロセッサは高速速度の面での性能向上が著しかったのに対し、DRAMは主として容量増加の面での性能向上が著しかった。しかしながら、DRAMにおける動作速度の向上は、容量の増加ほど大きなものではなく、その結果、DRAMとプロセッサとの間の速度ギャップが大きくなり、近年はこの速度ギャップがコンピュータの性能向上の妨げになりつつある。また、これらのチップ間の信号伝送だけでなく、チップの大型化に伴って、1つのLSIチップ (半導体集積回路装置) 内の素子や構成回路 (回路ブロック) 間の信号伝送速度も、チップの性能を制限する大きな要因となって来ている。

【0004】そして、例えば、LSIチップ間の信号伝送を高速化するためには、信号を受信する回路が信号に対して正確なタイミングで動作することが必要となっており、従来よりDLL (Delay Locked Loop) やPLL (Phase Locked Loop) といった方法が知られている。図1は従来のタイミング信号発生回路の一例を示すブロック図であり、DLL回路を使用したタイミング信号発生回路の例を示すものである。図1において、参照符号100はDLL回路、111は可変遅延ライン、112は位相比較回路、113は制御信号発生回路、114は駆動回路 (クロックドライバ)、102は遅延回路、そして、103は受信回路を示している。

【0005】DLL回路100は、可変遅延ライン111、位相比較回路112、および、制御信号発生回路113を備えて構成されている。位相比較回路112には、基準クロックCK<sub>r</sub>およびクロックドライバ114の出力 (内部クロックCK<sub>in</sub>) が入力され、これらのクロックCK<sub>r</sub>およびCK<sub>in</sub>の位相差ができるだけ小さくなるように可変遅延ライン111の遅延量 (遅延ユニットDの段数) を制御する。すなわち、位相比較回路112は、基準クロックCK<sub>r</sub>および内部クロックCK<sub>in</sub>の位相差に応じてアップ信号UPまたはダウン信号DNを制御信号発生回路113に供給し、該制御信号発生回路113は、このアップ信号UPまたはダウン信号DNに応じた制御信号 (遅延ユニットDの段数を選択する信号) CSにより可変遅延ライン111の遅延量を制御する。これにより、基準クロックCK<sub>r</sub>と位相同期した内部クロックCK<sub>in</sub>を生成するようになっている。

【0006】クロックドライバ114の出力は、LSIチップ (半導体集積回路装置) の内部クロックCK<sub>in</sub>として供給されるが、例えば、遅延回路 (適当な遅延段) 102を介して受信回路103のタイミング信号TSとして使用される。すなわち、例えば、受信回路103

12/

7

は、遅延回路102を介して供給される内部クロックCKinに応じて与えられた信号SSを取り込む(ラッチすることになる。ここで、遅延回路102は、例えば、クロックドライバ114のドライブ能力および信号線の負荷容量等に応じて遅延する内部クロックCKinのタイミング調整を行ってタイミング信号TSを生成するために設けられている。

【0007】

【発明が解決しようとする課題】上述した図1に示す従来のDLL回路を使用したタイミング信号発生回路、或いは、DLL回路をPLL回路に置き替えた同様の構成を有するタイミング信号発生回路は、基準クロックCKrと同一の位相の内部クロックCKinを生成することはできるが、この内部クロックCKinを、例えば、LSIチップ間的高速信号伝送に用いる場合には、解決しなければならない課題がある。

【0008】まず、LSIチップ間(或いは、電子機器の間)の信号伝送では、必要な信号伝送帯域を得るために複数本の信号線を用いた多ビットの伝送を適用することが多いが、そうすると、それぞれの信号線の遅延特性のバラつき等により各ビットにおける最適な受信タイミングが異なることになる。そこで、例えば、各ビットにおけるタイミングを調整するために複数個のDLL回路を設けることになるが、その場合には、回路規模が大きくなり過ぎるという問題がある。

【0009】また、1ビット幅の伝送であっても、受信回路の最適な受信タイミングは、基準クロックCKrの立ち上がり或いは立ち下がりとは異なるのが普通であり、そのために、基準クロックCKrを遅延段に通して受信用のクロックを生成することになる。しかしながら、せっかくDLL回路やPLL回路を用いて素子特性のバラつきに依存しない内部クロックCKinを作ったとしても、遅延段の部分で基準クロックCKrの周期と無関係の遅延が生じてしまうことになるため、クロック周波数に変化が生じた場合には、最適なタイミングでの受信ができなくなるという問題がある。

【0010】本発明は、上述した従来のタイミング信号発生回路が有する課題に鑑み、基準クロックに同期して所定の位相差を有する複数のタイミング信号を、簡単な構成でしかも高精度に発生することのできるタイミング信号発生回路の提供を目的とする。

【0011】

【課題を解決するための手段】本発明によれば、入力された基準信号と同一の周期或いは位相を有する内部信号をフィードバック制御して生成する親回路と、該親回路からの内部信号および制御信号を受け取って、前記基準信号に対して所定のタイミングを有するタイミング信号を発生する子回路とを具備することを特徴とするタイミング信号発生回路が提供される。

【0012】本発明のタイミング信号発生回路によれ

(5)

特開平11-261408

8

ば、子回路は、親回路からの内部信号および制御信号を受け取って基準信号に対して所定のタイミングを有するタイミング信号を出力する。ここで、子回路は、1つの親回路に対して複数個設けることができる。また、タイミング信号発生回路は1つの半導体集積回路装置(LSIチップ)に適用することもできるが、複数の半導体集積回路装置に構成された半導体集積回路システムに適用することもできる。

【0013】これにより、基準信号に同期して所定の位相差を有する複数のタイミング信号を、簡単な構成でしかも高精度に発生することができる。

【0014】

【発明の実施の形態】まず、図2を参照して、本発明に係るタイミング信号発生回路の原理構成を説明する。図2は本発明に係るタイミング信号発生回路の原理構成を示すブロック図である。図2において、参照符号1は親回路、2は子回路、10はDLL回路、11は可変遅延ライン、12は位相比較回路、13は制御信号発生回路、そして、14は駆動回路(クロックドライバ)を示している。

【0015】図2に示されるように、本発明のタイミング信号発生回路は、親回路1および複数の子回路2により構成されている。親回路1は、図1に示す従来のタイミング信号発生回路111と同様の構成とされ、DLL回路10およびクロックドライバ14を備えて構成されている。なお、親回路1としては、DLL回路を使用するものに限定されず、例えば、PLL回路を適用したものであってもよい。

【0016】DLL回路10は、可変遅延ライン11、位相比較回路12、および、制御信号発生回路13を備えている。位相比較回路12には、基準クロックCKrおよびクロックドライバ14の出力(内部クロックCKin)が入力され、これらのクロックCKrおよびCKinの位相が比較される。さらに、制御信号発生回路13は、この位相比較の結果に基づいて、制御信号(例えば、アナログ値の電圧或いは電流)CSを発生する。そして、この制御信号発生回路13からの制御信号CSにより、可変遅延ライン11の遅延量が制御され、最終的には、基準クロックCKrと内部クロックCKinの位相差が最少になる。ここで、クロックドライバ14の出力(CKin)は、位相比較回路12にフィードバックされるだけでなく、各子回路2に供給され、また、制御信号発生回路13からの制御信号CSも各子回路2に供給されている。

【0017】図2に示されるように、本発明のタイミング信号発生回路では、親回路1で使用される制御信号(制御信号発生回路13の出力信号)CSにより、複数の子回路2の制御も行われるようになっている。すなわち、各子回路2では、親回路1のDLL回路10における可変遅延ライン11の遅延量を制御するために使用さ

50

13/

(6)

特開平11-261408

9

10

れる制御信号CSがそのまま使用され、また、この可変遅延ライン11の遅延要素(遅延ユニットD)と本質的に同一の遅延要素を使用して基準クロックCKrの周期に比例した遅延を持たせることができるようになっている。

【0018】従って、子回路2においても、基準クロックCKrの周期を基準とした遅延量を持つ(すなわち、基準クロックに対し一定の位相差関係にある)タイミング信号(TS)を発生させることができる。また、親回路1で発生された制御信号CSを子回路2においても使うことにより、基準クロックCKrの周波数に応じて子回路2の応答周波数特性を制御することができる。具体的に、例えば、子回路2で使用するフィルター回路の特性周波数(例えば、カットオフ周波数)を基準クロックCKrの周波数に比例させることが可能となる。このことを利用することにより、例えば、CMOS振幅の矩形波クロックをフィルターに通して一定振幅の正弦波を子回路2で発生させること等が可能となる。

【0019】このように、本発明のタイミング信号発生回路によれば、親回路1よりも遙かに簡単な構成の子回路2により基準クロックCKrに同期したタイミング信号を発生させることができる。また、基準クロックCKrの周波数に応じて子回路2の応答速度を変化させることにより、広い周波数範囲に渡って高精度のタイミング信号TSの発生が可能となる。

【0020】以下、添付図面を参照して、本発明に係る位相インターポレータ、タイミング信号発生回路、および、該タイミング信号発生回路が適用される半導体集積回路装置並びに半導体集積回路システムの実施例を説明する。図3は本発明の第1実施例としてのタイミング信号発生回路の構成を示すブロック図である。

【0021】図3に示されるように、可変遅延ライン11は複数の遅延ユニットDにより構成され、制御信号CSで可変遅延ライン11の所定段数の遅延ユニットDを選択することにより該可変遅延ライン11における遅延量を制御するようになっている。また、制御信号発生回路13は、チャージポンプ回路131およびバッファアンプ132により構成され、基準クロックCKrおよび内部クロックCKinの位相差に応じて出力される位相比較回路12からのアップ信号UPまたはダウン信号DNに応じた制御信号CSを発生するようになっている。

【0022】また、図3に示されるように、子回路2は、親回路1の可変遅延ライン11を構成する遅延ユニットと同じ遅延ユニットDを複数備えて構成された可変遅延ライン21を有し、また、子回路2の可変遅延ライン21には、親回路1のクロックドライバ14の出力である内部クロックCKinが入力されている。なお、子回路2は、例えば、クロック周期に対して所定の遅延を有するタイミング信号(TS)を生成するために使用される。

【0023】子回路2の可変遅延ライン21の遅延量(遅延ユニットDの段数)は、親回路1の制御信号発生回路13(バッファアンプ132)の出力である制御信号CSにより制御されるようになっている。このように、子回路2には、親回路1の可変遅延ライン11と同じ遅延ユニットDが使用されており、基準クロックCKrの周期に比例した遅延量を有する複数のタイミング信号(TS1, TS2, ...)を発生させることができるようになっている。これらのタイミング信号TS1, TS2, ...は、それぞれ基準クロックCKrに対して所定の遅延量を有し、例えば、基準クロックCKrに対して1/m, 2/m, ...周期だけ遅れたタイミングの信号となっている。なお、子回路2は、1つの親回路1に対して複数個設けることができ、各子回路2の可変遅延ライン21は、例えば、親回路1の可変遅延ライン11よりも回路規模が小さく、すなわち、遅延ユニットDの段数が少なくなるように構成することができる。

【0024】以上において、親回路1および複数の子回路2は、1つの半導体集積回路装置(LSIチップ)内に設けることもできるが、親回路1および各子回路2をそれぞれ異なる半導体集積回路装置に設けるように構成してもよい。すなわち、タイミング信号発生回路を複数の半導体集積回路装置を有する半導体集積回路システムに適用することもできる。

【0025】図4は図3のタイミング信号発生回路の可変遅延ラインにおける遅延ユニットDの一例を示す回路図である。ここで、図4に示す遅延ユニットDの回路例は、親回路1の可変遅延ライン11における遅延ユニット、および、子回路2の可変遅延ライン21における遅延ユニットに共通するものである。図4に示されるように、各遅延ユニットDは、高電位電源線(Vcc)および低電位電源線(Vss)の間に設けられたpチャネル型MOS(pMOS)トランジスタおよびnチャネル型MOS(nMOS)トランジスタより成るCMOSインバータDI。このCMOSインバータDIの出力と低電位電源線(Vss)との間に設けられたnMOSTランジスタDTおよび容量DCにより構成されている。そして、可変遅延ライン11(21)は、複数段の遅延ユニットDを縦列接続することにより構成されている。なお、図4に示す遅延ユニットDは、トランジスタDTのゲートに制御電圧Vcs(制御信号CS)を与えるようになっているが、これに限定されるものではなく、様々な構成のものを使用することができる。例えば、後述の図8に示すようなCMOSインバータDIのトランジスタ(pMOSおよびnMOS)のソース側にそれぞれ定電流モードで動作するトランジスタを挿入し、これらのトランジスタへの制御電圧VcnおよびVcpにより遅延を制御することも可能である。なお、論理の反転を避けるために、2つの遅延ユニットDを1つの単位(1段)として構成してもよい。

14/

(7)

特開平11-261408

11

【0026】図5は図3のタイミング信号発生回路における位相比較回路12の一例を示すブロック回路図であり、図6は図5の位相比較回路の動作を説明するためのタイミング図である。図5に示されるように、位相比較回路12は、基準クロックCK<sub>r</sub>と内部クロックCK<sub>in</sub>の位相を比較し、これらの信号の位相差に応じてアップ信号(／UP)またはダウン信号(／DN)を出力するものであり、基準クロックCK<sub>r</sub>および内部クロックCK<sub>in</sub>の周波数を2分周して2倍の周期を有する基準クロックCK<sub>r</sub>' および内部クロックCK<sub>in</sub>' の論理を取って負論理のアップ信号(／UP)およびダウン信号(／DN)を生成するようになっている。

【0027】すなわち、図6に示されるように、2分周した内部クロックCK<sub>in</sub>' が低レベル“L”から高レベル“H”へ変化するタイミングが、2分周した基準クロックCK<sub>r</sub>' が低レベル“L”から高レベル“H”へ変化するタイミングよりも早ければ、低レベル“L”のアップ信号／UPが出力され、一方、2分周した基準クロックCK<sub>r</sub>' が低レベル“L”から高レベル“H”へ変化するタイミングよりも遅ければ、低レベル“L”のダウン信号／DNが出力される。

【0028】図7は図3のタイミング信号発生回路におけるチャージポンプ回路131の一例を示す回路図である。図7に示されるように、チャージポンプ回路131は、高電位電源線(V<sub>cc</sub>)および低電位電源線(V<sub>ss</sub>)の間に設けられ、アップ信号(反転論理のアップ信号)／UPがゲートに供給されたpMOSトランジスタ、および、ダウン信号DNがゲートに供給されたnMOSトランジスタにより構成されている。すなわち、低レベル“L”のアップ信号／UPが出力されているときは、出力レベルV<sub>co</sub>の電位が高くなり、一方、高レベル“H”のダウン信号DN(／DNが低レベル“L”)が出力されているときは、出力レベルV<sub>co</sub>の電位が低くなるようになっている。

【0029】このチャージポンプ回路131の出力V<sub>co</sub>は、バッファアンプ132を介して制御電圧V<sub>cs</sub>(制御信号CS)となり、図4の各遅延ユニットDのトランジスタDTのゲートに印加されることになる。そして、制御電圧V<sub>cs</sub>の電位が高くなれば、各CMOSインバータDIの出力における負荷容量が大きくなって、可変遅延ライン11(21)の遅延量が増大し、内部クロックCK<sub>in</sub>の位相が遅れる。逆に、制御電圧V<sub>cs</sub>の電位が低くなれば、各CMOSインバータDIの出力における負荷容量が小さくなって、可変遅延ライン11(21)の遅延量が減少し、内部クロックCK<sub>in</sub>の位相が進むことになる。

【0030】図8は図3のタイミング信号発生回路の可変遅延ラインにおける遅延ユニットDの他の例を示す回路図である。図8に示されるように、遅延ユニットDは、CMOSインバータDIのトランジスタ(pMOS

12

およびnMOS)のソース側に定電流モードで動作するトランジスタを挿入し、このトランジスタへの制御電圧V<sub>cn</sub>とV<sub>cp</sub>で遅延を制御するようになっている。すなわち、高電位電源線(V<sub>cc</sub>)とCMOSインバータDIのpMOSトランジスタのソースとの間にpMOSトランジスタDT<sub>p</sub>を設け、また、低電位電源線(V<sub>ss</sub>)とCMOSインバータDIのnMOSトランジスタのソースとの間にnMOSトランジスタDT<sub>n</sub>を設けるようになっている。そして、トランジスタDT<sub>p</sub>のゲートに対して制御電圧V<sub>cp</sub>を印加すると共に、トランジスタDT<sub>n</sub>のゲートに対して制御電圧V<sub>cn</sub>を印加するようになっている。この図8に示す遅延ユニットDは、1つの遅延ユニットによる遅延量の可変範囲が広いという利点がある。なお、論理の反転を避けるために、2つの遅延ユニットDを1つの単位(1段)として構成してもよいのは前述の通りである。

【0031】図9は本発明の第2実施例としてのタイミング信号発生回路における制御信号発生回路13の構成を示すブロック回路図であり、図10は図9の制御信号発生回路13の出力を変換する電流-電圧変換回路133の一例を示す回路図である。図9に示されるように、制御信号発生回路13は、チャージポンプ回路131およびカレントミラー接続された複数のpMOSトランジスタ1321、1322を備えて構成されている。各pMOSトランジスタ1321、1322のソースは高電位電源線(V<sub>cc</sub>)に接続され、また、ゲートにはそれぞれチャージポンプ回路131の出力が供給されている。そして、これらpMOSトランジスタ1321、1322のドレインから親回路1および子回路2へ供給される制御信号CSが出力されるようになっている。すなわち、本第2実施例では、親回路1および子回路2への制御信号CSの配送に電流信号を用いるようになっている。ここで、子回路用のpMOSトランジスタ1322は、例えば、子回路2の数に対応して複数個設けることができる。

【0032】そして、図10に示されるように、親回路1および各子回路2においては、制御信号発生回路13(pMOSトランジスタ1321、1322)からの制御信号(電流信号)CSを電流-電圧変換回路133により制御電圧V<sub>cn</sub>およびV<sub>cp</sub>に変換するようになっている。そして、この制御電圧V<sub>cn</sub>およびV<sub>cp</sub>は、例えば、図8に示す遅延ユニットの各トランジスタDT<sub>p</sub>およびDT<sub>n</sub>のゲートに印加されることになる。なお、図4に示す遅延ユニットを制御するには、制御電圧V<sub>cn</sub>を制御電圧V<sub>cs</sub>として使用することになる。また、ここで、電流-電圧変換回路133は、nMOSトランジスタ1331、1333およびpMOSトランジスタ1332により構成されているが、これに限定されるものではない。上記の第2実施例は、制御信号CSを電流信号により配送することにより、例えば、親回路1と子回路2が

10

20

30

40

50



15

(8)

特開平11-261408

13

チップの中で遠く離れることにより生じるトランジスタのしきい値のバラつきに対しても、制御信号CSの伝送に支障を生じさせないという利点がある。

【0033】図11は本発明の第3実施例としてのタイミング信号発生回路の要部構成を示すブロック図であり、図12は図11のアップダウンカウンタの出力をデジタル-アナログ変換(D/A変換)するD/Aコンバータの一例を示すブロック回路図である。図11および図3の比較から明らかなように、本第3実施例では、第1実施例におけるチャージポンプ回路131の代わりにアップダウンカウンタ134を用いるようになっている。すなわち、アップダウンカウンタ134は、位相比較回路12からのアップ信号UPおよびダウン信号DNをカウントし、例えば、6ビットのカウント信号b0～b5を図12に示すD/Aコンバータ135へ供給するようになっている。

【0034】D/Aコンバータ135は、電流マトリクスセル型のD/Aコンバータであり、例えば、アップダウンカウンタ134の出力である6ビットのカウント信号b0～b5をアナログ変換して制御信号CSを出力するようになっている。図13は図12に示すD/Aコンバータ135における1つの電流マトリクスセル(U)の構成例を示す回路図である。

【0035】図13に示されるように、1つの電流マトリクスセルUは、アンドゲートUA、オアゲートUO、および、2つのnMOSトランジスタUT1、UT2を備えて構成され、このセルUをマトリクス状に配置して電流マトリクス部1350を構成すると共に、デコーダ1351、1352を介してカウント信号(b2、b3；b4、b5)を各電流マトリクスセルUに供給するようになっている。なお、上位のカウント信号b0、b1は、出力端子と低電位電源線(Vss)との間にそれぞれ直列に設けられた2つのnMOSトランジスタ(1353、1354；1355、1356)における一方のトランジスタ(1353、1355)のゲートに供給されるようになっている。なお、他方のトランジスタ(1354、1356)のゲートには、制御電圧Vcが印加されるようになっている。また、この制御電圧Vcは、各電流マトリクスセルUにおけるトランジスタUT2のゲートにも印加されるようになっている。

【0036】この図11～図13に示す第3実施例は、アップダウンカウンタ134およびD/Aコンバータ135の組み合わせを用いることで、ループフィルタの設計を容易に行えとと共に、DLL回路を適用したループの位相比較動作を完全に停止状態にしても遅延量を一定に保持することが可能となり低消費電力化できるという利点がある。

【0037】図14は本発明の第4実施例としての子回路に適用するタイミング信号発生回路の構成を示すブロック図であり、図15は図14の位相インターポレータ

14

136の一例を示す回路図である。図14に示されるように、本第4実施例では、入力クロック(in2)とこれより遅延段1段分遅らせた信号(in1)を位相インターポレータ(フェーズインターポレータ)136に通すことにより、子回路2でのタイミング信号TSを発生させるようになっている。

【0038】図15に示されるように、位相インターポレータ136は、2組の差動増幅段1361、1362の入力トランジスタ対のバイアス電流(Tail Current)を変化させることで、2つの入力(in1、in2)に重みを付けて足し合わせ、さらに、2組の差動増幅段1361、1362からの信号S1、S2をコンパレータ1363に通すことにより、これら2つの信号S1、S2の位相の中間の位相出力(タイミング信号TS)を得るようになっている。ここで、各差動増幅段1361および1362における入力in1およびin2の重み付けは、例えば、直列に接続された2つのnMOSトランジスタの一方のトランジスタ(1364)のゲートに対して制御コード(C01、C02、…、C0n；C11、C12、…、C1n)を供給し、他方のトランジスタ(1365)のゲートに対して制御電圧(Vcs)を印加することにより行うことができる。このような位相インターポレータ136を使う利点は、1段分の遅延ユニットよりも細かい分解能で出力信号(タイミング信号TS)のタイミングを調整できることであり、高精度のタイミング調整が可能となる。

【0039】図16は本発明の第5実施例としての位相インターポレータ136の他の例を示す回路図である。図16に示す位相インターポレータ136は、2つの電圧-電流変換回路136a、136bにより構成され、各電圧-電流変換回路は、それぞれpMOSトランジスタ61、63およびnMOSトランジスタ62、64を備えている。そして、電圧-電流変換回路136aおよび136bは、それぞれ電圧入力in1およびin2を電圧-電流変換して出力するようになっている。ここで、電圧-電流変換回路の出力トランジスタ(65、66)の個数は、外部信号によりスイッチ手段67で制御され、その結果、電圧-電流変換の変換係数が変化する。変換された電流は、和が取られ、この結果をコンパレータに入れることでタイミング信号(TS)が得られる。

【0040】図17は本発明の第5実施例のシミュレーションを行うために使用したタイミング信号発生回路(位相インターポレータ136)の構成を示す回路図であり、図18は図17のタイミング信号発生回路のシミュレーション結果(SPICEMシミュレーション結果)を示す図である。図17に示されるように、位相インターポレータ136は、入力信号(電圧信号)in1およびin2をそれぞれ電圧-電流変換する電圧-電流変換回路136aおよび136bを備えて構成される。なお、各電圧-電流変換回路136aおよび136bの入



16/

(9)

特開平11-261408

15

力には、遅延ユニットD(可変遅延ライン11に使用するものと同じ遅延ユニット:図4或いは図8参照)を挿入して、入力信号in1およびin2の変化を緩やかにした信号in1\*およびin2\*をそれぞれ電圧-電流変換回路136aおよび136bに供給するようになっている。なお、図17における参照符号W0~W7(/W0~W7)は、トランスファゲート(スイッチ手段)67のスイッチングを制御する外部信号であり、これら外部信号W0~W7(/W0~W7)によりトランスファゲート67を開閉して、電圧-電流変換回路136a(136b)の出力トランジスタ(65, 66)の個数を制御するようになっている。これにより、図18に示されるように、出力(Output)のタイミングを変化させることができる。すなわち、電圧-電流変換回路136a, 136bの変換係数を変えることで、2つの入力信号in1, in2の重みを変化させ、位相インターポレータ136の動作を実現するようになっている。本第5実施例の位相インターポレータは、図15で示す第4実施例のように、カレントミラー差動増幅段を使わないため、より一層の低電圧動作が可能となる利点がある。

【0041】図19は本発明の第6実施例としてのタイミング信号発生回路の構成を示すブロック図である。図19に示されるように、本第6実施例は、親回路1および子回路2によりDLL回路を構成したものであり、親回路1に対して粗い遅延制御を行う粗遅延制御部および微細な遅延制御を行う微細遅延制御部を設け、また、子回路2に対しては、親回路1の微細遅延制御部に対応した回路を設けるようになっている。

【0042】親回路1における粗遅延制御部は、遅延ライン11、位相比較回路12a、アップダウンカウンタ134a、D/Aコンバータ135、および、セレクタ15により構成され、また、親回路1における微細遅延制御部は、位相インターポレータ136、および、例えば、粗遅延制御部(セレクタ15)の出力を一段分および二段分だけ遅延させて位相インターポレータ136に供給する2つの遅延ユニットDを備えて構成されている。ここで、位相比較回路12aには、基準クロックCKr、および、例えば、m段の遅延ユニットDで構成される遅延ライン11の最終段の出力が入力され、さらに、D/Aコンバータ135の出力(電流制御信号)を遅延ライン11に供給して、遅延ライン11から遅延ユニットDの段数に応じて位相が等分割されたタイミングの信号をセレクタ15に出力するようになっている。また、セレクタ15および位相インターポレータ136には、位相比較回路12bおよびアップダウンカウンタ134bで生成された制御信号が供給されている。すなわち、粗遅延制御部は、複数の遅延ユニットを備えた遅延ライン11からタップを取り出し、各タップの出力をセレクタ(選択手段)15で選択し、その出力信号を各微細遅延制御部に供給するようになっている。

16

【0043】図19に示されるように、各子回路2には、親回路1の微細遅延制御部と同様に、位相インターポレータ238、および、親回路1の粗遅延制御部(セレクタ15)の出力を一段分および二段分だけ遅延させて位相インターポレータ236に供給する2つの遅延ユニットDを備えた微細遅延制御部が設けられている。なお、この微細遅延制御部における遅延ユニットDの構成は様々に変化させることができる。

【0044】図19に示されるように、本第6実施例は、親回路1の粗遅延制御部と、微細遅延制御部(親回路1或いは各子回路2の微細遅延制御部)とを直列に繋ぎ、粗遅延制御部そのものでDLLループを構成する。さらに、位相インターポレータ(136, 236)を用いた微細遅延制御部により、親回路1の遅延段(1つの遅延ユニットD)よりも高い分解能の遅延を得ようになっている。ここで、微細遅延制御部の位相インターポレータ(136, 236)に用いる遅延ユニットは、粗遅延制御部の遅延ライン11における遅延ユニットDと同じものである。なお、D/Aコンバータ135の出力(電流制御信号)は、各子回路2に対しても供給されるようになっている。

【0045】このように、本第6実施例によれば、遅延ライン11の分解能よりも高い分解能の遅延をデジタル信号により設定することができ、高精度のDLL信号を得ることができる。さらに、位相比較動作を長時間停止したりスリープモードから短時間で復帰することのできるデジタル制御のDLL回路を実現することができる。しかも、子回路2として微細遅延制御部(位相インターポレータ236)の複数並べることにより、遅延ライン11の分解能よりも高い分解能の遅延を有する複数のタイミング信号を発生させることができるという利点もある。

【0046】図20は本発明の第7実施例としてのタイミング信号発生回路の構成を示すブロック図である。本第7実施例においては、親回路1から子回路2に対しては、制御信号CS(制御信号発生回路13の出力)だけでなく三相内部クロックCK1~CK3(遅延ライン11の各遅延出力)も出力されるようになっている。そして、子回路2においては、親回路1から供給された三相クロックCK1~CK3を基に位相インターポレータ236により任意の位相のタイミング信号(出力クロック)が発生されるようになっている。

【0047】すなわち、図20に示されるように、子回路2は、例えば、信号の変化を緩やかにするための遅延ユニットDを介して三相クロックCK1~CK3がスイッチ部238に供給される。このスイッチ部238により、三相クロックの所定の組み合わせが選択されて、演算増幅器237a, 237bの各入力に供給される。そして、これら演算増幅器237a, 237bの各出力を受け取って位相分割し、所定のタイミング信号を出力す

14

(10)

特開平11-261408

17

18

る。この本第7実施例は、子回路2において、360度の内の任意の位相を有するタイミング信号（出力クロック）を発生することができるという利点がある。

【0048】図21は本発明の第8実施例としての正弦波発生回路の構成を示す回路図である。近年、クロックドライバの消費電力の低減や、高調波成分を無くしてクロックノイズが減少するために、クロック波形に正弦波を用いることが注目されている。なお、正弦波のクロックを用いた場合にクロックドライバの消費電力を低減できるのは、出力波形の立ち上がりおよび立ち下がり急峻に行う必要がない（緩やかでよい）ため、クロックドライバを構成するトランジスタを駆動能力の小さい小型のもの（消費電力の小さいトランジスタ）で構成することができるためである。そして、図21は、例えば、子回路2に適用される正弦波クロックの生成回路の一例を示すものである。

【0049】図21に示されるように、例えば、図10に示されるような電流-電圧変換回路133により得られる電圧（制御電圧） $V_{cn}$ および $V_{cp}$ を図8に示すような遅延ユニットDを通すことにより、フル振幅のCMOSクロック（矩形波）を三角波に変換し、さらに、この三角波を非線形の入出力特性を有する定電流ドライバCDを通すことにより、正弦波（疑似正弦波）に変換する。ここで、三角波を作る部分には、親回路1からの制御信号（CS）で動作する遅延ユニットDを用いているが、この遅延ユニットDの遅延は基準クロック（CKr）の周期に比例するため、基準クロックの周波数が変化しても三角波の振幅が一定に保たれる。従って、本第8実施例は、広い周波数範囲に渡って正弦波が発生することができるという利点がある。

【0050】図22は図21の正弦波発生回路のシミュレーション結果（SPICEシミュレーション結果）を示す図であり、図22（a）は入力信号（クロック）が40MHzの場合を示し、図22（b）は入力信号が100MHzの場合を示し、そして、図22（c）は入力信号が400MHzの場合を示している。なお、正弦波発生回路の出力には、例えば、伝送線路の特性インピーダンスの半分の抵抗値を有する抵抗Rを設けてシミュレーションを行った。

【0051】図22（a）～図22（c）から明らかなように、図21の正弦波発生回路は、各周波数（40MHz、100MHz、400MHz）に対して、入力する矩形波をほぼ正弦波に変換して出力することが判る。図23は本発明の第9実施例としてのタイミング信号発生回路の構成を示すブロック図であり、PLL回路を適用したタイミング信号発生回路の例を示すものである。

【0052】図23において、参照符号12は位相比較回路、134はアップダウンカウンタ、135はD/Aコンバータ、そして、21は可変電圧発振器（VCO）を示している。ここで、可変電圧発振器21は、例え

ば、図8に示す遅延ユニットDと同様の回路を3段縦列接続したリングオシレータにより構成され、各段の制御トランジスタ（DTp、DTn）のゲートには、制御信号発生回路（電流-電圧変換回路133）の出力である制御電圧 $V_{cp}$ および $V_{cn}$ が印加され、これにより発振周波数が制御されるようになっている。なお、各子回路2は、それぞれ電流-電圧変換回路133および可変電圧発振器21を備えて構成されることになる。

【0053】このように、本第9実施例では、親回路1にDLL回路ではなく、PLL回路を用いているため、完全に周期的なクロック信号が得られないような場合でも出力信号（タイミング信号）を生成することができる。すなわち、例えば、入力する基準クロックCKrにジッタが含まれている場合でも、可変電圧発振器（リングオシレータ）21等によりジッタ成分を取り除くことができるため、受信データからクロック成分をリカバリするような場合に好ましいものである。

【0054】図24は本発明の第10実施例としてのタイミング信号発生回路の構成を示すブロック図である。本第10実施例において、親回路1は、基準クロック（CKr）にロックした内部クロック（CKin）を出力するDLL回路を適用した回路であり、子回路2a～2zは多ビットの受信回路3a～3zのそれぞれのビットに応じて設けられている。ここで、親回路1は、図19に示すものに限定されず、様々なものが適用可能である。

【0055】図24に示されるように、各子回路2a～2z（2'a）は、図19のセクタ（15）、遅延ライン（11）、遅延ユニット（D）、および、位相インターポレータ（136）に対応するセクタ211、遅延ライン215、2つの遅延ユニットD、および、位相インターポレータ236を備えて構成され、それぞれ対応する受信回路3a～3zに対してそれぞれタイミング信号TSa～TSzを供給して各受信回路3a～3zが信号SSa～SSzを取り込むタイミングを制御するようになっている。

【0056】本第10実施例においては、各子回路2a～2zにおいて、対応する受信回路3a～3zにおける信号SSa～SSzのレベルを順次検出して、取り込みタイミングが最適となるように、遅延量の制御を行うようになっている。すなわち、スイッチ手段210により、受信回路（例えば、3a）からの信号（SSa）を順次切り替えてアナログ-デジタル変換（A/D変換）するA/Dコンバータ220に供給し、そのレベルが最大となるように（S/N比が大きくなるように）、制御回路230を介して、セクタ215による選択（遅延ライン211による遅延量）を制御するようになっている。ここで、各受信回路（3a）において、例えば、最適なタイミングTSaで信号SSaの取り込みを行った時には、信号SSaのレベルが最大となるため、

10

20

30

40

50

19

本第10実施例では、それを利用してタイミング信号T Saのタイミングを規定する。

【0057】すなわち、本第10実施例において、遅延ライン211による遅延量は、例えば、6ビットのデジタル信号で制御され、このデジタル信号を各受信回路3a~3zにおける信号強度が最大になるようにそれぞれ制御する。そして、この信号強度の最適化の作業は、そのための特別な信号（例えば、『1010...』等の系列）を送っている間に行うように構成する。本第10実施例によれば、多ビット並列の信号伝送であっても、各ビット間の信号線遅延まで含めて受信回路の動作タイミングを最適化できるという利点がある。

【0058】図25は本発明の第11実施例としてのタイミング信号発生回路の要部構成を示すブロック図である。本第11実施例は、上述した第10実施例と同様に、多ビットの受信タイミングをそれぞれのビットで最適化するものであり、親回路1は基準クロックCKrにロックした信号（内部クロックCKin）を発生するようになっている。ここで、子回路2（2a~2z）は、第10実施例と同様に、多ビットの受信回路3（3a~3z）のそれぞれのビットに対して設けられ、図25に示されるように、各子回路2には、位相インターポレータ236を用いた微細遅延制御部が設けられ、後述するように、8ビットのデジタル信号で入力サンプリングのタイミング（CL1、CL2）を制御するようになっている。

【0059】なお、図25において、参照符号212は組み合わせ論理回路、234はアップダウンカウンタ、そして、241、242は受信用ラッチ回路を示している。また、位相インターポレータ236には、親回路1の4相PLL回路（250）の出力（ $\phi 1$ 、 $\phi 1$ 、 $\phi 2$ 、 $\phi 2$ ）が供給され、制御クロックCL1およびCL2を出力して各ラッチ回路241、242のサンプリングタイミングを制御するようになっている。ここで、ラッチ回路241および242は、それぞれ2つのD型フリップフロップ（D-FF）により構成され、ラッチ回路241における2つのフリップフロップは、制御クロックCL1によりサンプリングが制御され、また、ラッチ回路242における2つのフリップフロップは、それぞれ制御クロックCL1およびCL2によりサンプリングが制御される。

【0060】すなわち、本第11実施例の各子回路2（2a~2z）においては、1つのビットに対して2つの受信用ラッチ回路241および242が設けられており、一方のラッチ回路241は、データの受信ウィンドウ（ビットセルとも呼ばれる）の中央で入力をサンプリングし、他方のラッチ回路242は、隣接する2つのビットセルの境界をサンプリングするようになっている。そのため、これら2つのラッチ回路241および242は、それぞれ180度位相のずれた制御クロックCL1

(11)

特開平11-261408

20

およびCL2により制御され、入力信号は通常の2倍のサンプリングレートでサンプルされるようになっている。このような2つのラッチ回路241、242を用いることにより、隣接するビットセル間で『0』から『1』或いは『1』から『0』のデータ遷移が生じた場合に、サンプリングのタイミング（制御クロックCL1およびCL2のタイミング）がデータに対して早かったか遅かったかを知ることができる。

【0061】具体的に、まず、N番目のデータが『1』で、N+1番目のデータが『0』となるデータ遷移が生じたとき、ビットセル中央サンプリング用ラッチ回路241の出力をD(N)とし、且つ、ビットセル境界サンプリング用ラッチ回路242の出力をB(N)とすると、『D(N)、B(N)、D(N+1)』の系列は『1、0、0』或いは『1、1、0』となる。ここで、系列『1、0、0』はサンプリング用の制御クロック（CL1、CL2）のタイミングがデータよりも遅かったことを示し、また、系列『1、1、0』は制御クロックのタイミングがデータよりも早かったことを示している。

【0062】次に、N番目のデータが『0』で、N+1番目のデータが『1』となるデータ遷移が生じたとき、『D(N)、B(N)、D(N+1)』が系列『0、0、1』となるのは、サンプリング用の制御クロック（CL1、CL2）のタイミングがデータよりも早かったことを示し、また、系列『0、1、1』は制御クロックがデータよりも遅かったことを示している。

【0063】そして、2つのラッチ回路241および242の出力を組み合わせ論理回路212に通すことにより、制御クロックCL1およびCL2をより遅くするべきか早くするべきかの判定信号（アップ信号UP、ダウン信号DN）を得ることができる。この判定信号（UP、DN）をアップダウンカウンタ234でカウントし、その内容を6ビットの信号（C00、C01、C02、C10、C11、C12）に変換して位相インターポレータ236に供給して制御クロックCL1およびCL2のタイミングを制御することにより、信号受信のタイミングを最適化してS/N比を大きくすることができる。

【0064】ここで、本第11実施例における信号受信のタイミングを最適化するための処理は、例えば、このタイミング最適化専用の信号（特別な信号、例えば、『101010...』の系列）を送っている間に行うればよい。このように、本第11実施例によれば、前述した第10実施例のように、信号受信強度をアナログ量として評価するためのA/Dコンバータ220を不要とすることができ、また、スイッチ手段210により順次選択することなく、タイミング最適化の処理を多ビットで並行して行うことができるという利点がある。従って、各ビットにおいて、一定の頻度で『0』から『1』或い

19/

21

は『1』から『0』の遷移が保証されている場合(例えば、データが10B/8Bのような方式でコーディングされている場合)には、各ビットにおける受信タイミングの最適化処理をデータ送受信と並行して行うことができる。

【0065】図26は図25のタイミング信号発生回路における位相インターポレータ(位相アジャスタ)236の一例を示す回路図である。図25および図26に示されるように、位相インターポレータ236には、アップダウンカウンタ234からの6ビットの信号(C0, C01, C02: C10, C11, C12)および親回路1に設けられた4相PLL回路(250)の出力( $\phi 1$ ,  $\phi 1$ ,  $\phi 2$ ,  $\phi 2$ )が供給されている。これら6ビットの信号により、各差動増幅段2361および2362における差動入力に重み付けが行われる。ここで、差動増幅段2361および2362の各入力には、制御信号Snsおよび $\phi$ Snsにより制御されるスイッチ手段2360を介して4相PLL回路の出力( $\phi 1$ ,  $\phi 1$ ,  $\phi 2$ ,  $\phi 2$ )が切り替えられて供給されるようになっている。そして、前述した図15と同様に、2

組の差動増幅段2361, 2362からの信号を出力段(コンパレータ)2363に通すことにより、制御クロックCL1およびCL2を生成するようになっている。

【0066】図27は図25のタイミング信号発生回路に利用可能な4相PLL回路250の一例を示す回路図である。図27に示されるように、4相PLL回路250は、4段の差動増幅部2511~2514、4つの信号変換部2521~2524、および、インバータ2531~2534を備えて構成されている。すなわち、4段の差動増幅部2511~2514を縦列接続し、所定の信号を各信号変換部2521~2524に供給し、インバータ2531~2534でレベル反転および波形形成して4相の出力信号 $\phi 1$ ,  $\phi 1$ ,  $\phi 2$ ,  $\phi 2$ を得るようになっている。

【0067】図28は図27の4相PLL回路における信号変換部252(2521~2524)の一例を示す回路図であり、図29は図27の4相PLL回路における差動増幅部251(2511~2514)の一例を示す回路図である。図27および図28に示されるように、信号変換部252(2521~2524)には2つの入力信号(A, B)が供給され、1つの出力信号(Z)を出力するようになっている。すなわち、各信号変換部252(2521~2524)には、縦列接続された4段の差動増幅部における2段目の差動増幅部2512または4段目の差動増幅部2514の各2つの出力信号が入力AおよびBとして供給され、これら2つの入力AおよびBを処理して1つの出力Zを生成するようになっている。そして、この出力Zはインバータ253(2531~2534)を介してレベル反転および波形形成され、それぞれ出力 $\phi 1$ ,  $\phi 2$ ,  $\phi 1$ ,  $\phi 2$ と

(12)

特開平11-261408

22

して4相PLL回路250から出力される。ここで、信号変換部252は、信号INHが高レベル“H”のときは、常に、高レベル“H”の信号(Z)を出力し、信号INHが低レベル“L”で且つ制御信号CTLが高レベル“H”のときに、入力信号AおよびBに応じた信号(Z)が出力されるようになっている。

【0068】図27および図29に示されるように、差動増幅部251(2511~2514)は縦列接続され、前段の差動増幅部2511, 2512, 2513の出力信号(OUT1, OUT2)が後段の差動増幅部2512, 2513, 2514の入力信号IN1, IN2として供給されるようになっている。なお、初段の差動増幅部2511には、最終段(4段目)の差動増幅部2514の出力信号が供給される。ここで、差動増幅部251は、制御信号CTLが高レベル“H”のときに活性化されるようになっている。

【0069】図30は図27の4相PLL回路の出力信号を示す図である。図28および図29に示す信号変換部252および差動増幅部251を適用して構成した4相PLL回路250により、図30に示すような位相が90度づつ異なる4相の出力信号 $\phi 1$ ,  $\phi 2$ ,  $\phi 1$ ,  $\phi 2$ が得られる。これらの信号 $\phi 1$ ,  $\phi 2$ ,  $\phi 1$ ,  $\phi 2$ は、例えば、図25に示すような子回路2における位相インターポレータ236に供給されるのは前述した通りである。

【0070】なお、4相PLL回路250、および、信号変換部252並びに差動増幅部251の構成は、上述したものに限定されるものではなく、様々な回路構成とすることができるのはいうまでもない。上述したように、本発明の各実施例に係るタイミング信号発生回路によれば、親回路よりも遙かに簡単な構成の子回路により基準クロックに同期したタイミング信号を発生させることができる。また、基準クロックの周波数に応じて子回路の応答速度を変化させることにより、広い周波数範囲に渡って高精度のタイミング信号の発生が可能になる。すなわち、基準クロック信号に同期して一定の位相差の関係にあるタイミングパルスを多数の簡単な構成の子回路で発生でき、また、高速信号の送信および受信に必要な高精度のタイミング信号を小さな占有面積の回路により発生することができる。

【0071】なお、親回路および複数の子回路は、1つの半導体集積回路装置(LSIチップ)内に設けることもできるが、親回路および各子回路をそれぞれ異なる半導体集積回路装置に設けるように構成してもよい。すなわち、本発明の各実施例に係るタイミング信号発生回路を複数の半導体集積回路装置を有する半導体集積回路システム、或いは、マルチチップモジュール(MCM)等に対しても適用することができる。

【0072】次に、本発明に係る位相インターポレータの実施例を添付図面を参照して説明する。図31は本発

20/

23

明に係る位相インターポレータの原理構成を示すブロック図であり、図32は図31の位相インターポレータの動作を説明するための波形図である。

【0073】図31において、参照符号41および42はアナログ周期波形生成部、43は重み付け制御部、44は加算波形生成部、そして、45はアナログ／デジタル変換部を示している。図31に示されるように、アナログ周期波形生成部41は、第1のデジタル周期信号DIS1を受け取ってアナログ的な値を有する第1のアナログ周期波形(f1:図32参照)を生成するものであり、また、アナログ周期波形生成部42は、第2のデジタル周期信号DIS2を受け取ってアナログ的な値を有する第2のアナログ周期波形(f2:図32参照)を生成するものである。ここで、第1のデジタル周期信号DIS1および第2のデジタル周期信号DIS2は、時間軸のずれた信号(異なる位相の信号)となっている。なお、位相インターポレータは、例えば、このような異なる位相のデジタル信号DIS1およびDIS2から、中間の任意の位相を有するデジタル信号を生成するものである。

【0074】第1のアナログ周期波形f1および第2のアナログ周期波形f2は、重み付け制御部43により重み付けが行われ、加算波形生成部44により加算されて、第3のアナログ周期波形(f3:図32参照)が生成される。すなわち、 $x$ を $0 \leq x \leq 1$ とすると、 $f3 = (1-x)f1 + xf2$ としてなるような第3のアナログ周期波形f3が加算波形生成部44の出力として得られることになる。

【0075】そして、アナログ／デジタル変換部45により、第3のアナログ周期波形f3が所定の位相を有する第3のデジタル周期信号DOに変換されて出力される。ここで、アナログ／デジタル変換部45は、例えば、第3のアナログ周期波形f3を基準電圧Vrと比較して『0』または『1』を出力するコンパレータにより構成される。

【0076】なお、本発明に係る位相インターポレータは、例えば、前述したタイミング信号発生回路における位相インターポレータ136、236(図14、図19および図20等)として適用することができるが、他の様々な回路に対しても幅広く適用することができるというまでもない。図33は本発明の第12実施例としての位相インターポレータの構成例を示す回路図であり、図34は図33の位相インターポレータにおける重み付け制御部の構成例を示す回路図である。図33において、参照符号41a、41bおよび42a、42bは正弦波発生回路、430は重み付け制御回路(重み付け制御部)、440は演算増幅回路(加算波形生成回路)、そして、450は比較回路(アナログ／デジタル変換回路)を示している。

【0077】前に、図21を参照して説明したように、

(13)

特開平11-261408

24

図33に示す本第12実施例の位相インターポレータは、デジタル信号(矩形波)DIS1およびDIS2を遅延回路41aおよび42aに通すことにより、矩形波を三角波に変換し、さらに、ドライバ回路(非線形の増幅回路)41bおよび42bに通すことにより、三角波を正弦波(疑似正弦波)に変換するようになっている。さらに、これらの正弦波(f1およびf2)は、重み付け制御回路430へ供給され、それぞれ重み付け制御部(4301および4302)により所定の重み付けが行われた後、演算増幅回路440により加算されて、コンパレータ450へ供給される。

【0078】図34に示されるように、重み付け制御部4301(4302)は、入力と出力との間に並列に設けられた複数の(n個)のトランスファークロークにより構成されている。これらn個(例えば、16個)のトランスファークロークは、それぞれ制御信号C41~C4nにより接続制御されるようになっており、入力と出力との間を導通するトランスファークロークの数により正弦波f1(f2)に対する重み付けを行うようになっている。すなわち、図34の回路例では、制御信号C41~C4nの内の任意の数を高レベル"H"とすることにより、対応する数のトランスファークロークをオン状態としてコンダクタンス(演算増幅回路440の入力側のコンダクタンス)を変化させるようになっている。

【0079】なお、図34では、各トランスファークロークを構成するnMOSおよびpMOSトランジスタは全て同じサイズとして構成しているが、各トランスファークロークにおけるnMOSおよびpMOSトランジスタのサイズを変化させ(例えば、最小のトランジスタのゲート幅を1として、他のトランジスタのゲート幅をそれぞれ1.1、1.2、1.3、...と設定し)、任意のトランスファークロークをオン状態とし、或いは、任意の複数のトランスファークロークを組み合わせることでオン状態とすることにより、すなわち、少なくとも1つのトランスファークロークを導通することにより、正弦波f1(f2)に対する重み付けを行うように構成することもできる。

【0080】図35は本発明の第13実施例としての位相インターポレータの構成例を示す回路図である。図35において、参照符号4101はセレクト回路、4111~411nはCMOSインバータ、4103は容量負荷、そして、4104は比較回路(コンパレータ)を示している。セレクト回路4101は、第1のデジタル周期信号DIS1が入力されるk個のCMOSインバータ4111~411kと、第2のデジタル周期信号DIS2が入力されるn-k個のCMOSインバータ411k~411nを選択制御するものである。すなわち、セレクト回路4101により、デジタル信号DIS1を入力とするCMOSインバータの数(k個)と、デジタル周期信号DIS2を入力とするCMOSインバータの数(n-k個)とが制御されるようになっている。

10

20

30

40

50

21/

(14)

特開平11-261408

25

28

ここで、CMOSインバータ4111~411nは、例えば、16個設けられている。また、各CMOSインバータ4111~411nの出力は共通接続され、容量負荷4103が接続された端子（コンパレータ4104の入力端子）に供給される。そして、コンパレータ4104により、基準電圧 $V_r(1/2 \cdot V_{cc})$ と比較されて『0』または『1』のデジタル周期信号DOが出力される。

【0081】各CMOSインバータ4111~411nは、矩形波であるデジタル信号DIS1またはDIS2を直接入力とするが、各CMOSインバータ4111~411nの出力は、それぞれ容量負荷4103によりアナログ的な値を有するアナログ周期波形となる。本第13実施例の位相インターポレータでは、第1および第2のデジタル周期信号DIS1およびDIS2に対してそれぞれ接続するCMOSインバータの数を制御することにより、デジタル信号(DIS1、DIS2)のアナログ波形化とそれに対する重み付けの制御を共に行うようになっている。そして、本第13実施例の位相インターポレータは、正弦波発生回路が不要で重み制御のリニアリティが高いという利点がある。

【0082】図36は本発明の第14実施例としての位相インターポレータの構成例を示す回路図である。本第14実施例の位相インターポレータでは、各デジタル信号DIS1およびDIS2をそれぞれ2つのインバータ4211、4212および4221、4222で受け、これらインバータ4211、4212および4221、4222の出力により複数のCMOSインバータの出力段4231~423nおよび4241~424nの各pMOS並びにnMOSTランジスタを駆動するようになっている。ここで、各出力段4231~423n(4241~424n)の出力はそれぞれ制御信号C411~C41n(C421~C42n)により接続制御されるトランスファークラップを介して取り出され、共通接続されて、コンパレータ4250の入力に供給されている。

【0083】すなわち、本第14実施例の位相インターポレータは、上述した第13実施例と同様に、重み付けの制御として複数のCMOSインバータを使用するが、制御信号により接続する数を制御するのは出力段のみであり、入力回路（インバータ4211、4212および4221、4222）は共通としている。ここで、各出力段（および各トランスファークラップ）4231~423nおよび4241~424nを構成するnMOSおよびpMOSTランジスタは、同じサイズとして構成され、また、接続制御する出力段の数は、例えば、16個または32個とされている。

【0084】本第14実施例の位相インターポレータは、回路の入力容量が重みの値によらず一定であるため、ローディング効果による入力デジタル信号DIS

1、DIS2の位相ずれが発生せず、より正確なタイミング（位相差）を有するデジタル信号DOを生成することができるという利点がある。図37は本発明の第15実施例としての位相インターポレータの構成例を示す回路図であり、図38は図37の位相インターポレータにおけるトランスコンダクタの例を示す回路図である。

【0085】図37に示されるように、本第15実施例の位相インターポレータは、各デジタル入力信号DIS1およびDIS2を、それぞれインバータ4301および4302並びに容量負荷4303および4304よりなる積分回路により三角波に変換し、トランスコンダクタ（可変トランスコンダクタ）4305および4306に供給する。ここで、積分回路は、デジタル信号により定電流をスイッチすることにより得られるが、他の様々な積分回路を使用することもでき、また、積分回路ではなく単にデジタル信号の高周波成分を減衰させるフィルタ回路であってもよい。

【0086】図38(a)および図38(b)に示されるように、トランスコンダクタ4305(4306)

は、入力電圧に対応した電流出力を取り出すものである。まず、図38(a)のトランスコンダクタ4305は、pMOSTランジスタ4351、4354、nMOSTランジスタ4352、および、抵抗4353により構成され、トランジスタ4352のゲートに印加される入力電圧(IN)に応じた電流をトランジスタ4351に流し、該トランジスタ4351とカレントミラー接続されたトランジスタ4354を流れる電流を電流出力として取り出すようになっている。

【0087】また、図38(b)のトランスコンダクタ4305は、pMOSTランジスタ4361、4364、4366、および、nMOSTランジスタ4362、4363、4365により構成され、差動回路の一方の入力（トランジスタ4362のゲート）に印加される入力電圧(IN)と他方の入力に印加される基準電圧( $1/2 \cdot V_{cc}$ )とに応じてトランジスタ4364を流れる電流を、該トランジスタ4364とカレントミラー接続されたトランジスタ4366から電流出力として取り出すようになっている。

【0088】なお、トランスコンダクタ4305(4306)は、図38に示すものの以外に、連続時間アナログ処理の分野で知られている様々なトランスコンダクタ回路を適用することができる。図37に示されるように、三角波をトランスコンダクタ4305および4306により電流信号に変換した後、抵抗負荷4307に出力することで、重み付きの和が実現される。そして、コンパレータ4308により基準電圧( $1/2 \cdot V_{cc}$ )と比較して、所定の位相を有するデジタル信号DOを生成する。

【0089】本第15実施例の位相インターポレータでは、三角波への変換と和を作る回路を別々に最適化でき

50

22/

(15)

特開平11-261408

27

28

るために、高精度の回路が設計が可能となる利点がある。図39は本発明の第16実施例としての位相インターポレータの構成例を示す回路図である。図39において、参照符号V1+は第1のデジタル周期信号DIS1に対応し、V1-は第1のデジタル周期信号DIS1の反転信号( $\neg$ DIS1)に対応し、V2+は第2のデジタル周期信号DIS2に対応し、そして、V2-は第2のデジタル周期信号DIS2の反転信号( $\neg$ DIS2)に対応している。

【0090】図39に示されるように、本第16実施例の位相インターポレータにおいて、アナログ周期波形生成部および加算波形生成部は、スイッチ付きの定電流源(4401、4403および4402、4404)を容量負荷(4405および4406)に接続することで構成されている。すなわち、第1の入力デジタル信号DIS1(V1+)が高レベル“H”の時には、スイッチ付きの定電流源4401におけるnMOSトランジスタ4414がオン状態でpMOSトランジスタ4411がオフ状態となり、また、スイッチ付きの定電流源4402におけるnMOSトランジスタ4424がオフ状態でpMOSトランジスタ4421がオン状態となって、容量負荷4405にはnMOSトランジスタ4413および4414を介して電流が流れ、また、容量負荷4406にはpMOSトランジスタ4421および4422を介して電流が流れる。逆に、第1の入力デジタル信号DIS1が低レベル“L”の時には、容量負荷4405にはpMOSトランジスタ4411および4412を介して電流が流れ、また、容量負荷4406にはnMOSトランジスタ4423および4424を介して電流が流れる。なお、位相が異なる第2入力デジタル信号DIS2(V2+)に対しても同様である。また、一端がコンパレータ4407の正論理入力に接続された容量負荷4405の他端は中間電位( $1/2 \cdot V_{cc}$ )とされ、同様に、一端がコンパレータ4407の負論理入力に接続された容量負荷4406の他端も中間電位( $1/2 \cdot V_{cc}$ )とされている。

【0091】そして、正論理のデジタル周期信号DIS1、DIS2(V1+, V2+)によるアナログの加算波形(容量負荷4405の一端における波形)と、負論理のデジタル周期信号 $\neg$ DIS1、 $\neg$ DIS2(V1-, V2-)によるアナログの加算波形(容量負荷4406の一端における波形)とがコンパレータ4407で比較され、その比較結果に応じたデジタル周期信号DOが出力される。

【0092】なお、本第16実施例の位相インターポレータにおいて、重み付けの制御は、バイアス信号(Vcp1, Vcn1; Vcp2, Vcn2)の電圧レベルを変化させることにより行われるが、このバイアス信号を発生する回路に関しては、図40および図41を参照して後述する。このように、本第16実施例の位相インタ

ーポレータは、アナログ周期波形生成部および加算波形生成部を、第1のデジタル周期信号DIS1(V1+, V1-)により定電流源(4412, 4413および4422, 4423)から共通の容量負荷(4405, 4406)に流れる電流の極性を切り替える電流極性切り替え手段(4411, 4414および4421, 4424)、および、電流源の電流値を制御する電流値制御手段(4412, 4413および4422, 4423)を備えて構成される。なお、第2のデジタル周期信号DIS2についても同様に構成されている。

【0093】スイッチ付き定電流源4401(4402~4404)は、CMOSインバータを構成するpMOSトランジスタ4411およびnMOSトランジスタ4414の各ドレイン側に定電流モードにバイアスされたpMOSトランジスタ4412およびnMOSトランジスタ4413を挿入した構造とされている。なお、CMOSインバータを構成するトランジスタのドレイン側ではなく、ソース側(pMOSトランジスタ4411のソースと高電位電源線Vccとの間、および、nMOSトランジスタ4414のソースと低電位電源線Vssとの間)に定電流モードにバイアスされたpMOSトランジスタおよびnMOSトランジスタを挿入してもよい。

【0094】本第16実施例の位相インターポレータは、デジタル入力信号をアナログ信号へ変換する機能(アナログ周期波形生成部の機能)、および、和を生成する機能(加算波形生成部の機能)を1つの端子上で実現することができ、回路構成を簡略化して消費電力を低減することが可能である。図40は図39の位相インターポレータにおけるバイアス信号を発生する回路の一例を示す回路図であり、図41は図39の位相インターポレータにおけるバイアス信号を発生する回路の他の例を示す回路図である。

【0095】上述したように、図39に示す位相インターポレータは、各デジタル周期信号DIS1, DIS2; $\neg$ DIS1,  $\neg$ DIS2の重み付けの制御は、バイアス信号Vcp1, Vcn1; Vcp2, Vcn2の電圧レベルを変化させることにより行うが、このバイアス信号を発生するバイアス信号発生回路(4408)の例を図40および図41に示す。

【0096】図40に示されるように、バイアス信号発生回路4408の一例としては、直列接続された2つのpMOSトランジスタ4481, 4482の組を並列に複数組設け、各一方のトランジスタ4481のゲートに対して基準電圧(Vr)を印加すると共に、各他方のトランジスタ4482のゲートに対してそれぞれ制御信号(デジタル信号)C431~C43nを供給してスイッチング制御するようになっている。

【0097】ここで、2つのトランジスタの組(4481, 4482)は、全てnMOSトランジスタ4483の一端に共通接続されており、制御信号C431~C4



23/

29

3nにより選択された(導通状態とされた)トランジスタの組を流れる電流の総和がnMOSトランジスタ4483に流れるようになっていく。さらに、トランジスタ4483を流れる電流は、カレントミラー接続されたnMOSトランジスタ4484、および、このトランジスタ4484と直列に接続されたpMOSトランジスタ4485に流れる。そして、トランジスタ4485および4484(4483)を介して、バイアス信号Vcp1(Vcp2)およびVcn1(Vcn2)が得られることになる。なお、図39の位相インターポレータに対しては、バイアス信号Vcp1、Vcn1を発生する回路と、バイアス信号Vcp2、Vcn2を発生する回路との2つのバイアス信号発生回路が必要となり、例えば、バイアス信号Vcp1、Vcn1を発生するバイアス信号発生回路に対して正論理の制御信号C431~C43nを供給する場合には、バイアス信号Vcp2、Vcn2を発生するバイアス信号発生回路に対しては反転論理の制御信号(/C431~/C43nを供給して重み付けの制御を行うことになる。

【0098】このように、図40に示すバイアス信号発生回路4408は、電流出力型のD/Aコンバータとして構成され、被制御側の電流源ではD/Aコンバータから受けた電流をカレントミラー回路でミラーすることで可変の定電流を得ており、制御信号C431~C43nに応じた所定の電圧レベルを有するバイアス信号Vcp1(Vcp2)およびVcn1(Vcn2)を発生するようになっている。このバイアス信号発生回路は、被制御側の電流源が簡単な構成になるため、少ない回路量で実現できる利点がある。

【0099】図41は図39の位相インターポレータにおけるバイアス信号を発生する回路の他の例を示す回路図である。図41に示されるように、バイアス信号発生回路4408の他の例としては、基準電圧(Vr)が印加された複数のpMOSトランジスタ4486のドレインに対して、それぞれ制御信号(デジタル信号)C441~C44nによりスイッチング制御されるpMOSトランジスタ4487、4488の一端(ソース)を接続するようになっている。ここで、各組のトランジスタ4487のゲートにはそれぞれ対応する制御信号C441~C44nが供給され、また、各組のトランジスタ4488のゲートにはそれぞれインバータ4489で反転された制御信号(/C441~/C44n)が供給されるようになっている。従って、各組において、トランジスタ4487および4488のいずれか一方がオン状態で他方がオフ状態になる。

【0100】各組のトランジスタ4487の他端(ドレイン)は共通接続されて、オン状態のトランジスタ4487を流れる電流の総和がnMOSトランジスタ4483に流れるようになっており、同様に、各組のトランジスタ4488の他端は共通接続されて、オン状態のト

(18)

特開平11-261408

30

ランジスタ4488を流れる電流の総和がnMOSトランジスタ4483に流れるようになっている。そして、図40を参照して説明したのと同様に、トランジスタ4483および44832を流れる電流は、カレントミラー接続されたnMOSトランジスタ44841および44842、並びに、このトランジスタ44841および44842と直列に接続されたpMOSトランジスタ44851および44852に流れ、それぞれバイアス信号Vcp1、Vcn1およびVcp2、Vcn2が得られることになる。

【0101】このように、図41に示すバイアス信号発生回路4408は、電流源の出力値を制御するための電流制御型のD/Aコンバータの出力が、相補の出力ノードに切り替えられて接続されるようになっている。ここで、D/Aコンバータの出力電流そのものは常に一定に保たれているため、D/Aコンバータの出力トランジスタの電圧は一定に保たれ、電流が断続する場合に見られるようなスパイク状の過渡応答がなくなる利点がある。また、電流出力型のD/Aコンバータの消費電流も低減(半分程度に)することができる。

【0102】図42は図39の第16実施例の変形例としての可変の電流源(4500)の構成例を示す回路図であり、前述した図39の位相インターポレータにおける各定電流源(4401~4404)として適用されるものである。なお、図42に示す電流源4500において、バイアス信号(バイアス電圧)Vcp、Vcnは一定の電圧レベルの信号であり、制御信号C451~C45nにより重み付けの制御を行うようになっている。

【0103】図42に示されるように、本変形例の可変電流源4500は、図39の定電流源4401において、バイアス信号Vcp(Vcp1)およびVcn(Vcn1)が供給されるトランジスタ4501および4503(4412および4413に対応)を複数組設け、これら各組のトランジスタ4501および4503の間にpMOSトランジスタ4506およびnMOSトランジスタ4508をそれぞれ設けるようになっている。ここで、各組のトランジスタ4508のゲートには正論理の制御信号C451~C45nが供給され、また、各組のトランジスタ4506のゲートにはそれぞれインバータ4507を介して反転された制御信号(/C451~/C45n)が供給されている。そして、各組の4506および4508の接続ノードを共通接続して、出力(出力端子)outを取り出すようになっている。なお、この出力端子outは、図39に示されるように、例えば、容量負荷(4405または4406)の一端およびコンパレータ(4407)の1つの入力端子に接続されることになる。

【0104】このように、図42に示す本変形例の可変電流源は、可変の電流源を得るためにカレントミラーの出力トランジスタ(4506、4508)の数を制御し

24/

(17)

特開平11-261408

31

32

ており、カレントミラー動作のトランジスタ(4502, 4503)のゲートバイアス(バイアス信号 $V_{cp}$ ,  $V_{cn}$ )を常に一定に保持するようになっており、電流の安定性を高くすることができる。さらに、本変形例の可変電流源は、トランジスタの個数による電流制御であるためニアリティも良好になるという利点もある。

【0105】図43は本発明の第17実施例としての位相インターポレータの一部の構成例を示す回路図であり、図39の位相インターポレータにおけるコンパレータ4407の2つの入力端子間にクランプ回路4600を設けたものである。図43に示されるように、例えば、図39の位相インターポレータにおけるコンパレータ4407の2つの入力端子間(アナログ波形が加算されて発生するノード)にクランプ回路4600を設けることにより、電流源の電流値にアンバランスがあった場合でも、クランプ回路4600によりこれらのノードのコモンモード電位が一定に保持されるため、次段のコンパレータ4407による比較動作が常に一定の状態で行うことができ、タイミング精度を向上させることが可能となる。

【0106】図43に示すクランプ回路4600は、直列に接続した2つのnMOSTランジスタ4601, 4602の各ゲートに対して  $1/2 \cdot V_{cc}$  (基準電圧)を印加すると共に、トランジスタ4601および4602の接続箇所に対しても  $1/2 \cdot V_{cc}$ を印加して、コンパレータ4407の2つの入力端子間の電位をクランプするようになっている。なお、クランプ回路4600としては、図43に示すものの他に様々な構成のものが適用可能である。

【0107】図44は本発明の第18実施例としての位相インターポレータの構成例を説明するための図である。図44において、横軸は、D/A入力コード、すなわち、制御信号によって選択(接続)されるトランジスタの数を示し、また、縦軸は、これら選択されたトランジスタを流れる総和としての出力電流を示している。上述したように、本発明の位相インターポレータは、各アナログ周期波形の重み付けを制御する重み付け制御を実現するために、例えば、複数の同一サイズのトランジスタを制御信号(デジタル信号)により選択して、接続するトランジスタの数を制御して電流出力を調整するようになっている。

【0108】図44における特性曲線L1は、この同一サイズのトランジスタを制御信号により選択した場合の接続されたトランジスタの数と出力電流との関係を示すもので、非線形的な曲線となっている。そこで、本第18実施例では、図44における特性曲線L2に示されるように、制御信号により制御されるトランジスタの数と出力電流との関係が線形的な曲線(直線)となるように、各トランジスタのサイズを調整するものである。

【0109】例えば、図40に示すバイアス信号発生回路では、制御信号C431~C43nに応じて導通(接続)するトランジスタ4482の数が制御され、そして、導通した全てのトランジスタ4482を介して流れる電流の総和がトランジスタ4483に流れることになるが、このような場合、本第18実施例を適用することにより、制御信号C431~C43nに応じて導通するトランジスタ4482の数とトランジスタ4483に流れる電流(出力電流)とが線形の関係を保つように各トランジスタ4482(4481)のサイズが調整されることになる。なお、このトランジスタサイズの調整は、上記の電流D/Aコンバータにおけるトランジスタだけでなく、カレントミラー回路等で発生する非線形成分を補償するためにカレントミラー回路等に関連するトランジスタ(例えば、トランジスタ4483, 4484, 4485等)のサイズも調整することができる。

【0110】このように、本第18実施例を適用することにより、位相インターポレータが出力する信号のタイミング精度をより一層向上させることが可能になる。

【0111】

【発明の効果】以上、詳述したように、本発明によれば、基準クロックに同期して所定の位相差を有する複数のタイミング信号を、簡単な構成でしかも高精度に発生することができる。すなわち、本発明によれば、基準クロック信号に同期して一定の位相差の関係にあるタイミングパルスを多数の簡単な構造の子回路で発生することができる。そのため、高速信号の送信および受信に必要な高精度のタイミング信号を小さな回路面積で発生することができる。

【図面の簡単な説明】

【図1】従来のタイミング信号発生回路の一例を示すブロック図である。

【図2】本発明に係るタイミング信号発生回路の原理構成を示すブロック図である。

【図3】本発明の第1実施例としてのタイミング信号発生回路の構成例を示すブロック図である。

【図4】図3のタイミング信号発生回路の可変遅延ラインにおける遅延ユニットの一例を示す回路図である。

【図5】図3のタイミング信号発生回路における位相比較回路の一例を示すブロック回路図である。

【図6】図5の位相比較回路の動作を説明するためのタイミング図である。

【図7】図3のタイミング信号発生回路におけるチャージポンプ回路の一例を示す回路図である。

【図8】図3のタイミング信号発生回路の可変遅延ラインにおける遅延ユニットの他の例を示す回路図である。

【図9】本発明の第2実施例としてのタイミング信号発生回路における制御信号発生回路の構成例を示すブロック回路図である。

【図10】図9の制御信号発生回路の出力を変換する電

25/

(18)

特開平11-261408

33

流-電圧変換回路の一例を示す回路図である。

【図11】本発明の第3実施例としてのタイミング信号発生回路の要部構成の一例を示すブロック図である。

【図12】図11のアップダウンカウンタの出力をD/A変換するD/Aコンバータの一例を示すブロック回路図である。

【図13】図12に示すD/Aコンバータにおける1つの電流マトリクスセルの構成例を示す回路図である。

【図14】本発明の第4実施例としての子回路に適用するタイミング信号発生回路の構成例を示すブロック図である。

【図15】図14の位相インターポレータの一例を示す回路図である。

【図16】本発明の第5実施例としての位相インターポレータの構成例を示す回路図である。

【図17】本発明の第5実施例のシミュレーションを行うために使用したタイミング信号発生回路の構成例を示す回路図である。

【図18】図17のタイミング信号発生回路のシミュレーション結果を示す図である。

【図19】本発明の第6実施例としてのタイミング信号発生回路の構成例を示すブロック図である。

【図20】本発明の第7実施例としてのタイミング信号発生回路の構成例を示すブロック図である。

【図21】本発明の第8実施例としての正弦波発生回路の構成例を示す回路図である。

【図22】図21の正弦波発生回路のシミュレーション結果を示す図である。

【図23】本発明の第9実施例としてのタイミング信号発生回路の構成例を示すブロック図である。

【図24】本発明の第10実施例としてのタイミング信号発生回路の構成例を示すブロック図である。

【図25】本発明の第11実施例としてのタイミング信号発生回路の要部構成の一例を示すブロック図である。

【図26】図25のタイミング信号発生回路における位相インターポレータ(位相アジャスタ)の一例を示す回路図である。

【図27】図25のタイミング信号発生回路に利用可能な4相PLL回路の一例を示す回路図である。

【図28】図27の4相PLL回路における差動増幅部の一例を示す回路図である。

【図29】図27の4相PLL回路における信号変換部の一例を示す回路図である。

【図30】図27の4相PLL回路の出力信号を示す図である。

【図31】本発明に係る位相インターポレータの原理構成を示すブロック図である。

【図32】図31の位相インターポレータの動作を説明するための波形図である。

【図33】本発明の第12実施例としての位相インター

34

ポレータの構成例を示す回路図である。

【図34】図33の位相インターポレータにおける重み付け制御部の構成例を示す回路図である。

【図35】本発明の第13実施例としての位相インターポレータの構成例を示す回路図である。

【図36】本発明の第14実施例としての位相インターポレータの構成例を示す回路図である。

【図37】本発明の第15実施例としての位相インターポレータの構成例を示す回路図である。

【図38】図37の位相インターポレータにおけるトランスコンダクタの例を示す回路図である。

【図39】本発明の第16実施例としての位相インターポレータの構成例を示す回路図である。

【図40】図39の位相インターポレータにおけるバイアス信号を発生する回路の一例を示す回路図である。

【図41】図39の位相インターポレータにおけるバイアス信号を発生する回路の他の例を示す回路図である。

【図42】図39の第16実施例の変形例としての可変の電流源の構成例を示す回路図である。

【図43】本発明の第17実施例としての位相インターポレータの一部の構成例を示す回路図である。

【図44】本発明の第18実施例としての位相インターポレータの構成例を説明するための図である。

【符号の説明】

1…親回路

2…子回路

10…DLL回路

11…可変遅延ライン

12, 12a, 12b…位相比較回路

13…制御信号発生回路

14…駆動回路(クロックドライバ)

15…セレクタ

21…電圧制御発振器(VCO)

131…チャージポンプ回路

132…バッファアンプ

133…電流-電圧変換回路

134, 134a, 134b, 234…アップダウンカウンタ

135…D/Aコンバータ

136, 236…位相インターポレータ

212…組み合わせ論理回路

210…選択手段

220…A/Dコンバータ

230…制御回路

241, 242…ラッチ回路

250…4相PLL回路

CKr…基準クロック

CKin…内部クロック

CS…制御信号

D…遅延ユニット(遅延段)

26/

(19)

特開平11-261408

35

36

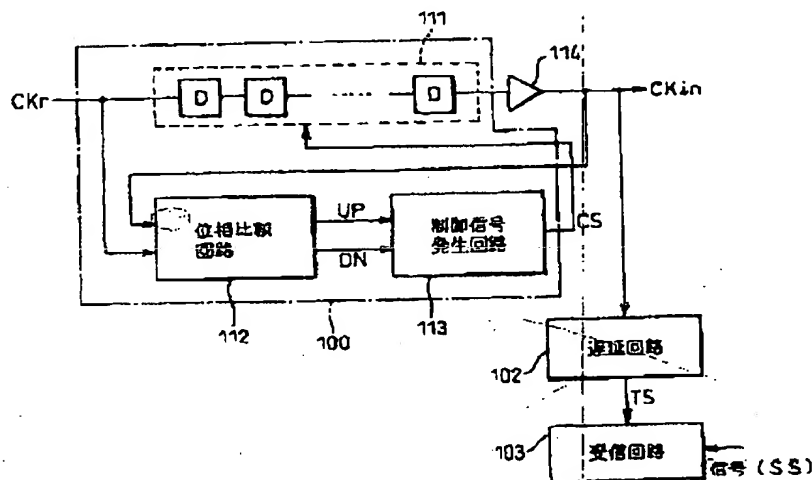
41、42…アナログ周期波形生成部  
 43…重み付け制御部  
 44…加算波形生成部  
 45…アナログ/デジタル変換部

DIS1…第1のデジタル周期信号  
 DIS2…第2のデジタル周期信号  
 DO…デジタル出力信号

【図1】

従来のタイミング信号発生回路の一例を示すブロック図

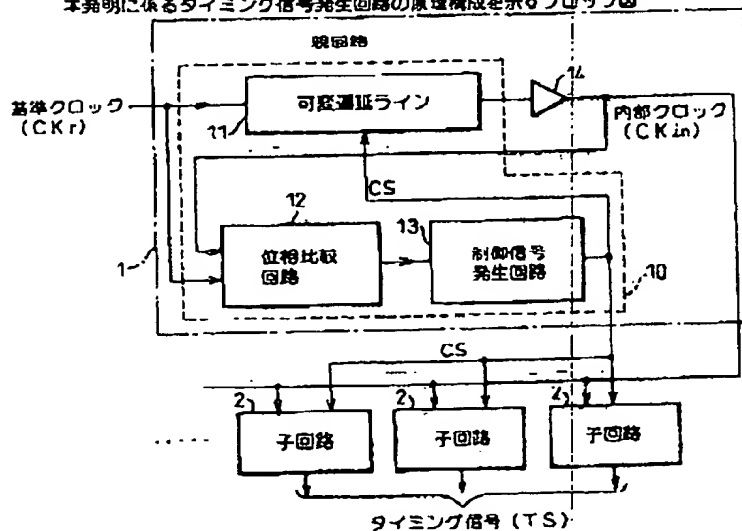
図1



【図2】

本発明に係るタイミング信号発生回路の原理構成を示すブロック図

図2



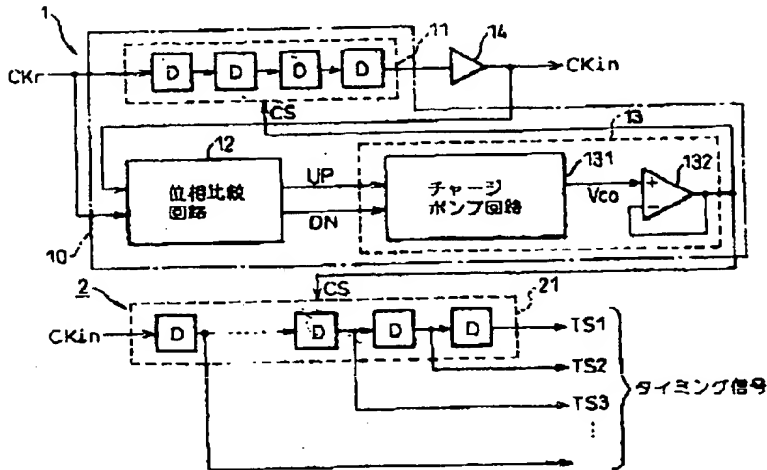
217

(20)

特開平11-261408

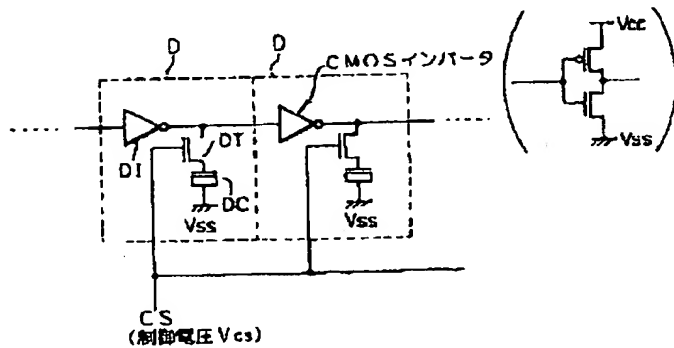
【図3】

本発明の第1実施例としてのタイミング信号発生回路の構成例を示すブロック図



【図4】

図3のタイミング信号発生回路の可変遅延ラインにおける遅延ユニットの一例を示す回路図



【図7】

図7

図3のタイミング信号発生回路におけるチャージポンプ回路の一例を示す回路図

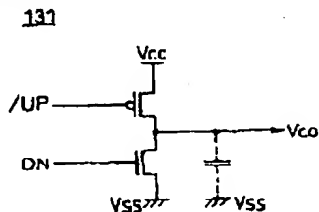
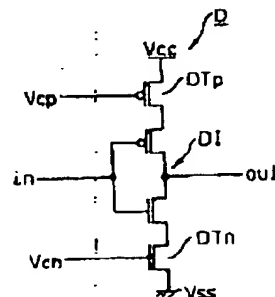


図8

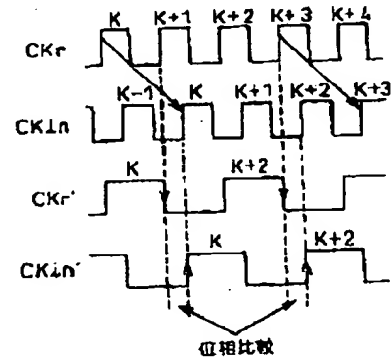
図3のタイミング信号発生回路の可変遅延ラインにおける遅延ユニットの他の例を示す回路図



【図6】

図 図 8

図5の位相比較回路の動作を説明するためのタイミング図



【図8】

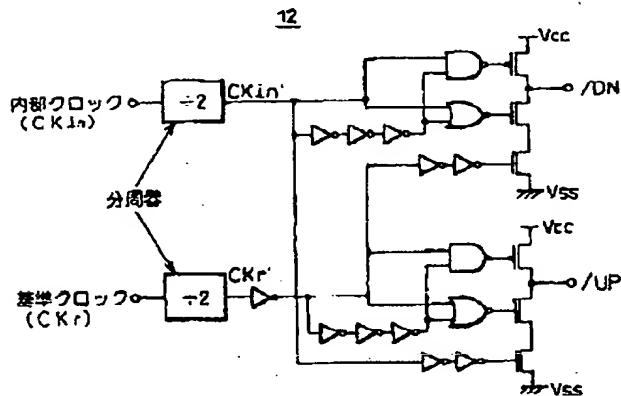
2P

(21)

特開平11-261408

【図5】

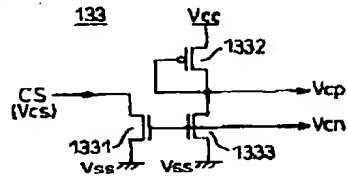
図3のタイミング信号発生回路における位相比較回路の一例を示すブロック回路図



【図10】

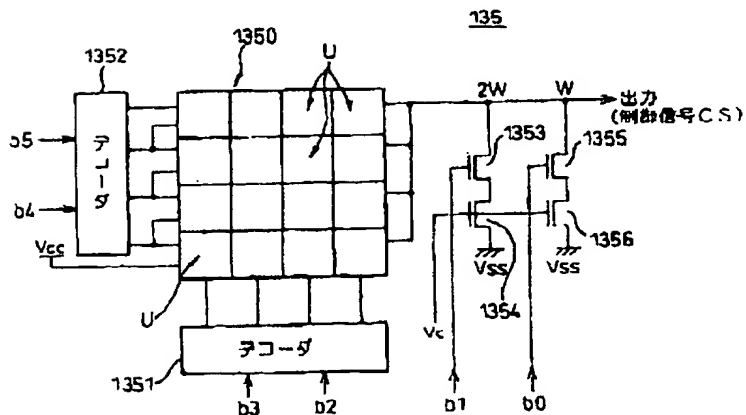
図10

図9の制御信号発生回路の出力を変換する電圧-電圧変換回路の一例を示す回路図



【図12】

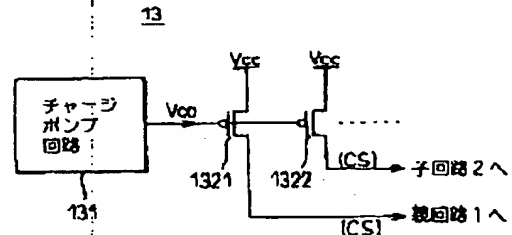
図11のアップダウンカウンタの出力をD/A変換するD/Aコンバータの一例を示すブロック回路図



【図9】

図9

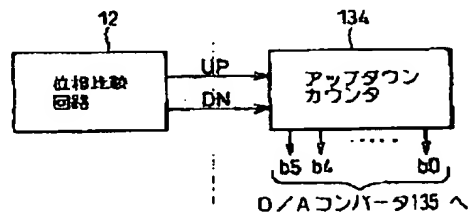
本発明の第2実施例としてのタイミング信号発生回路における制御信号発生回路の構成例を示すブロック回路図



【図11】

図11

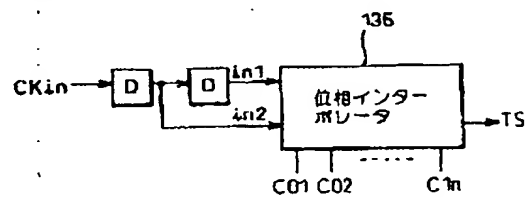
本発明の第3実施例としてのタイミング信号発生回路の主要構成の一例を示すブロック図



【図14】

図14

本発明の第4実施例としての子回路に適用するタイミング信号発生回路の構成例を示すブロック図



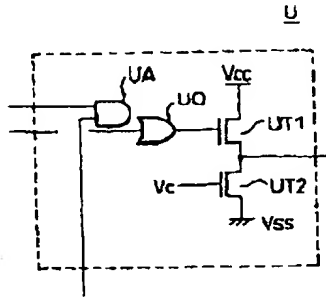
(22)

特開平11-261408

【図13】

図13

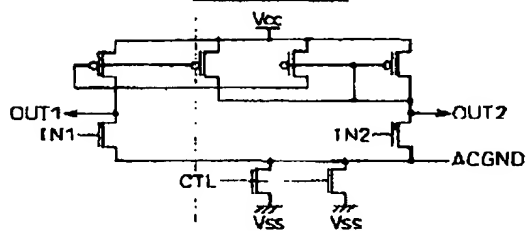
図12に示すD/Aコンバータにおける1つの電流マトリクスセルの構成例を示す回路図



【図29】

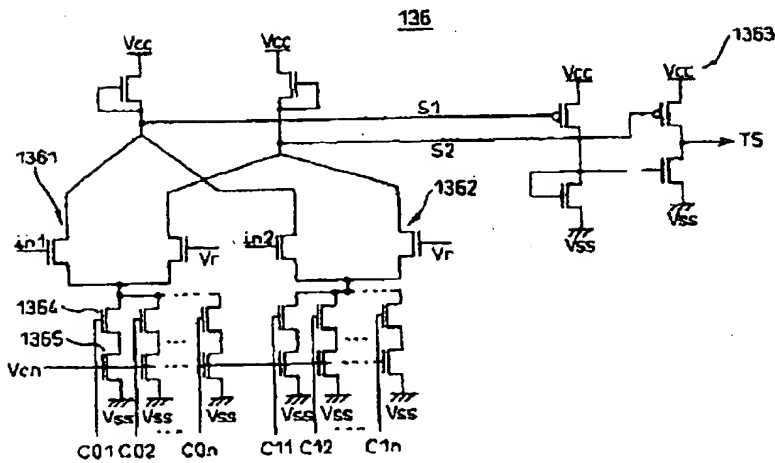
図29

図27の4相PLL回路における差動増幅部の一例を示す回路図



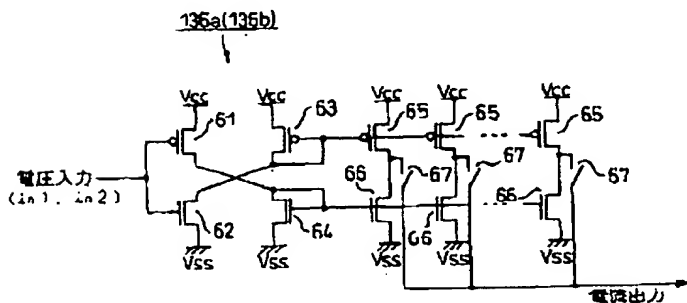
【図15】

図14の位相インターポレータの一例を示す回路図



【図16】

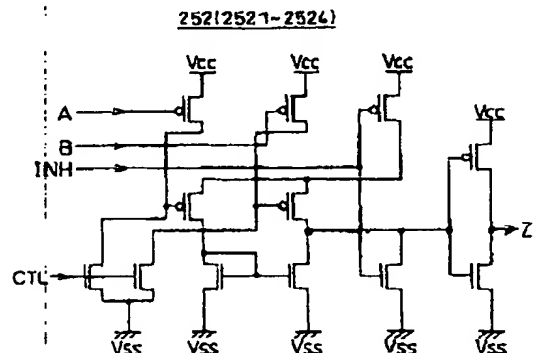
本発明の第5実施例としての位相インターポレータの構成の一例を示す回路図



【図28】

図28  
図27

図27の4相PLL回路における信号変換部の一例を示す回路図





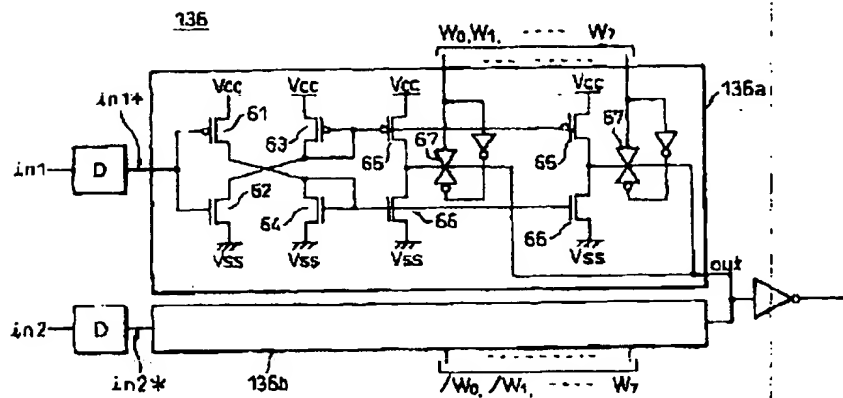
30/

(23)

特開平11-261408

【図17】

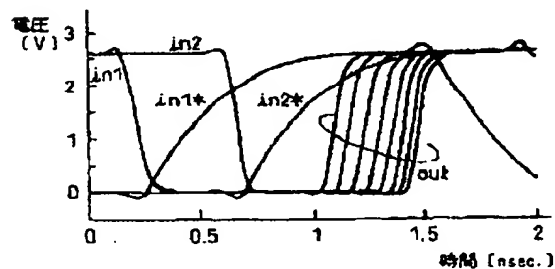
本発明の第5実施例のシミュレーションを行うために使用した  
タイミング信号発生回路の構成例を示す回路図



【図18】

図18

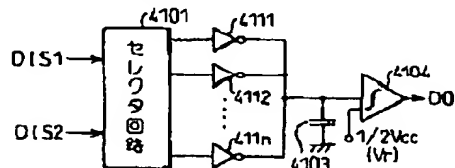
図17のタイミング信号発生回路のシミュレーション結果を示す図



【図35】

図35

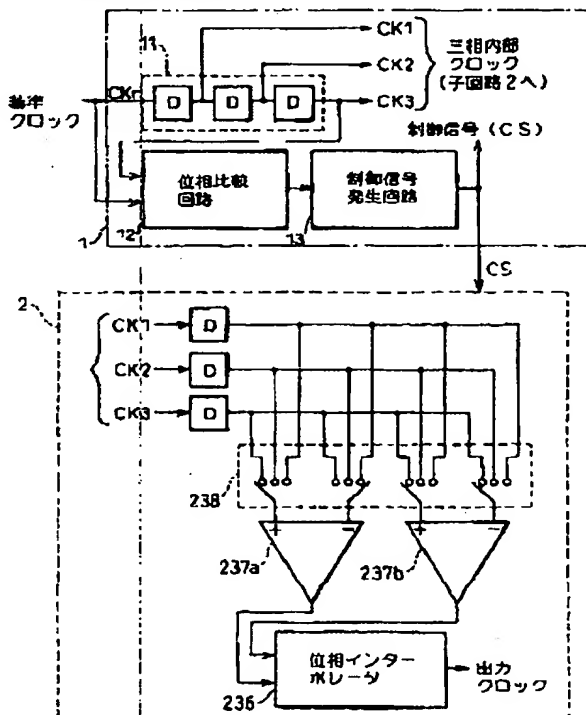
本発明の第13実施例としての位相インターポレータの  
構成例を示す回路図



【図20】

図20

本発明の第7実施例としてのタイミング信号発生回路の構成  
一例を示すブロック図



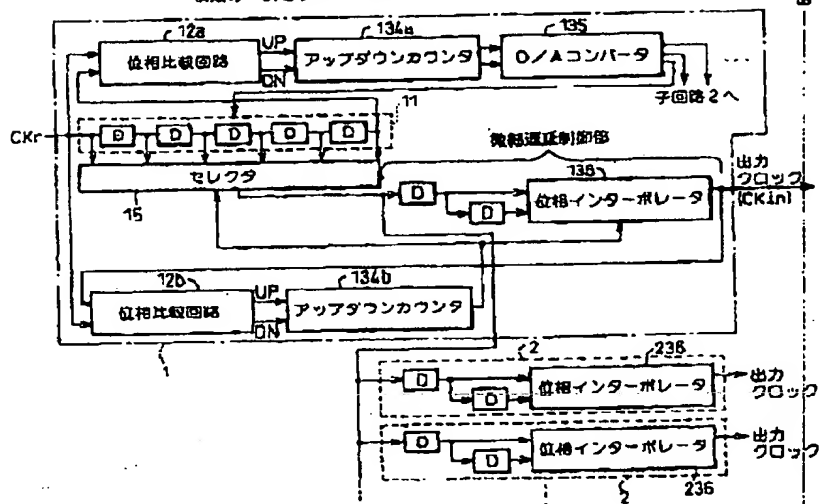
31/

(24)

特開平11-261408

【図19】

本発明の第6実施例としてのタイミング信号発生回路の構成の一例を示すブロック図



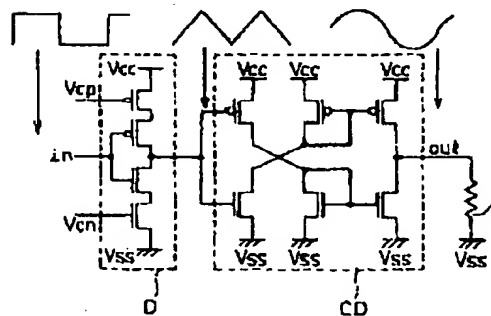
【図21】

図21

【図22】

図21の正弦波発生回路のシミュレーション結果を示す図

本発明の第8実施例としての正弦波発生回路の構成例を示す回路図



【図30】

図27の4相PLL回路の出力信号を示す図

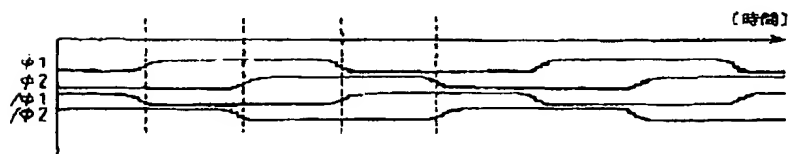


図22

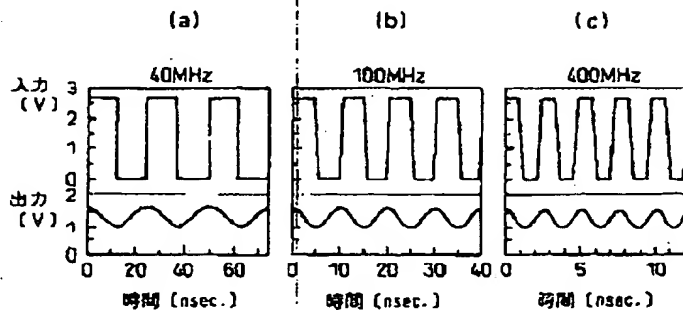


図28

32/

(25)

特開平11-261408

【図23】

本発明の第9実施例としてのタイミング信号発生回路の構成例を示すブロック図

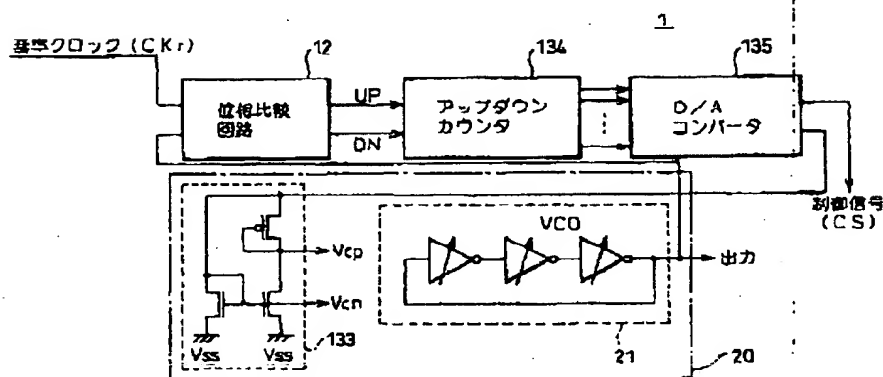
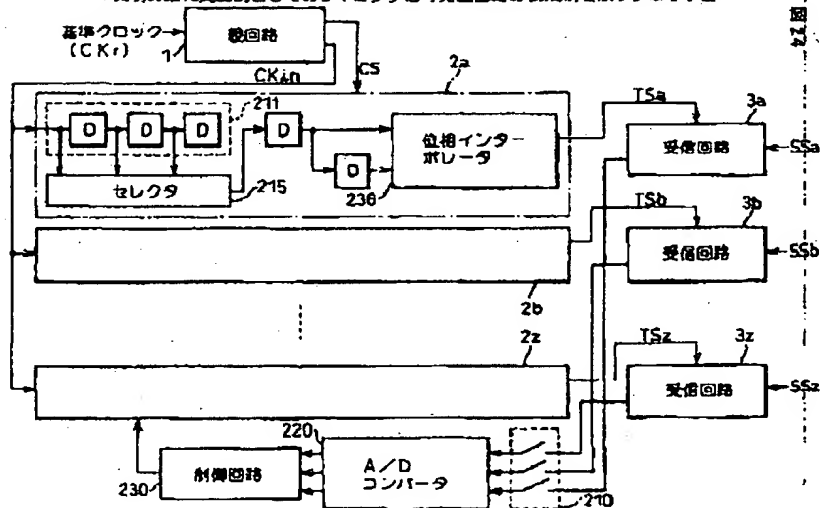


図23

【図24】

本発明の第10実施例としてのタイミング信号発生回路の構成例を示すブロック図



【図31】

本発明に係る位相インターポレータの原理構成を示すブロック図

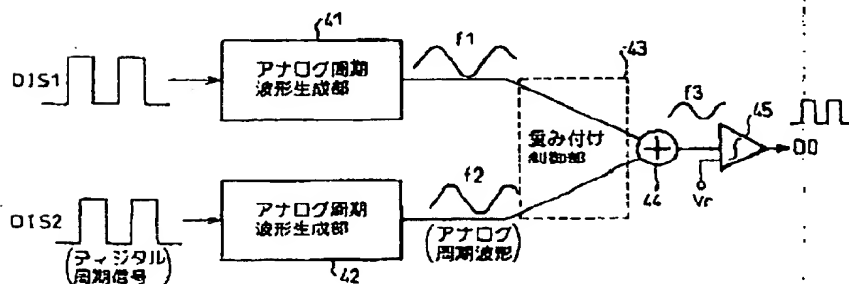
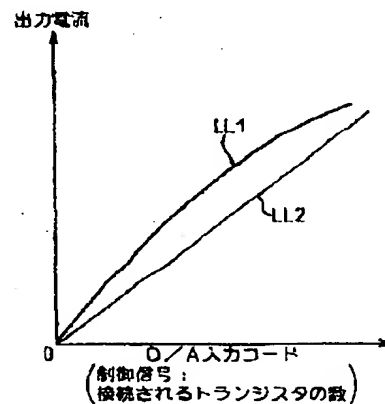


図31

【図44】

図44

本発明の第18実施例としての位相インターポレータの構成例を説明するための図



33/

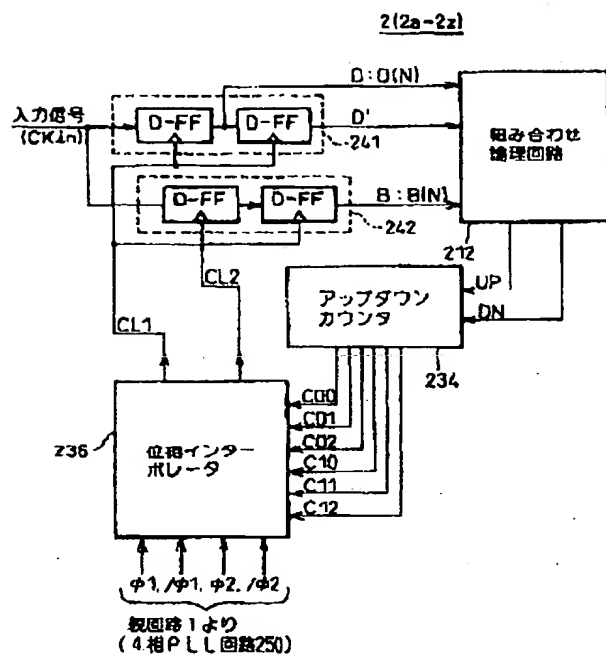
(26)

特開平11-261408

【図25】

図25

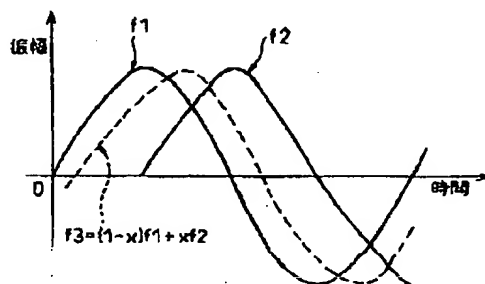
本発明の第11実施例としてのタイミング信号発生回路の  
要部構成の一例を示すブロック図



【図32】

図32

図31の位相インターポレータの動作を説明するための波形図



【図26】

図25のタイミング信号発生回路における位相インターポレータ  
(位相アジャスタ) の一例を示す回路図

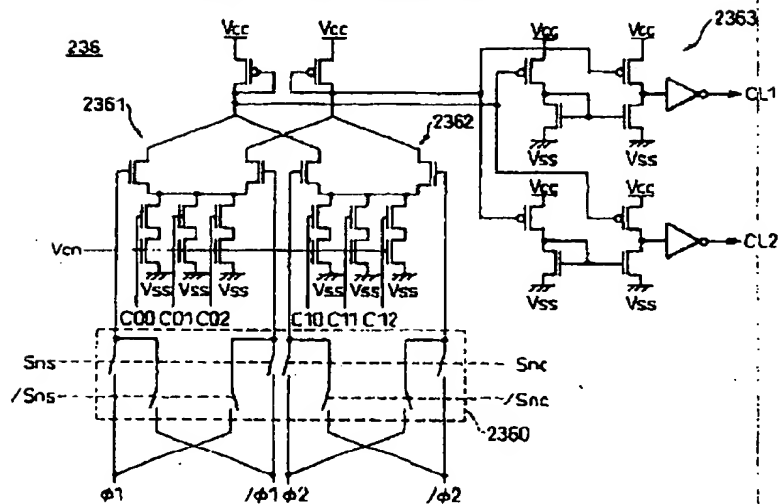


図26

341

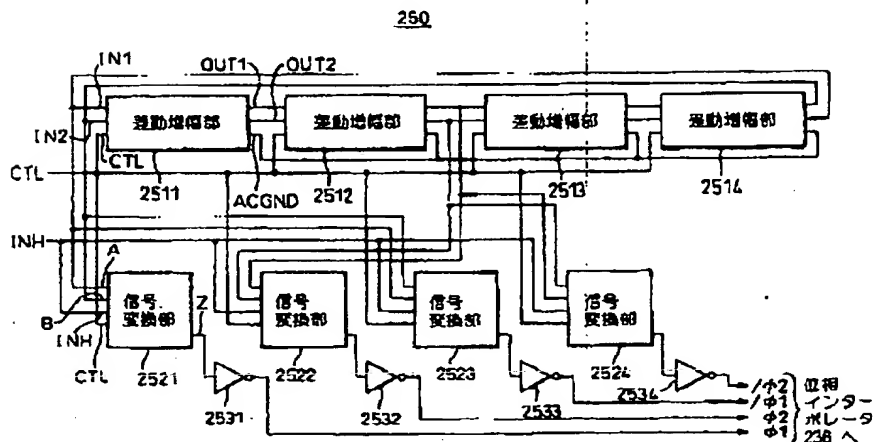
(27)

特開平11-261408

【図27】

図25のタイミング信号発生回路に利用可能な4相PLL回路の一例を示す回路図

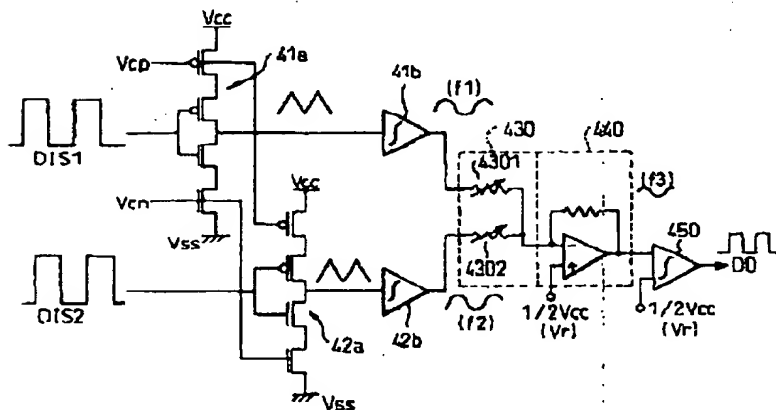
図27



【図33】

本発明の第12実施例としての位相インターポレータの構成例を示す回路図

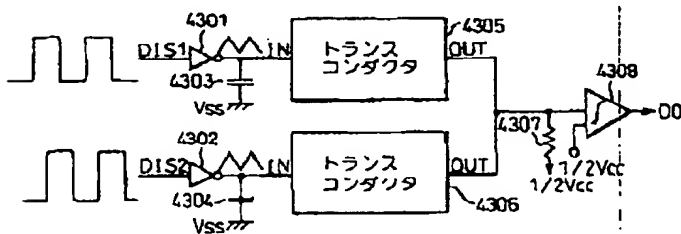
図33



【図37】

本発明の第15実施例としての位相インターポレータの構成例を示す回路図

図37



35/

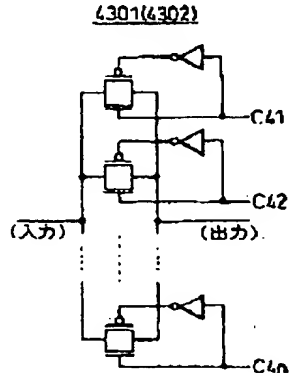
(28)

特開平11-261408

【図34】

図34

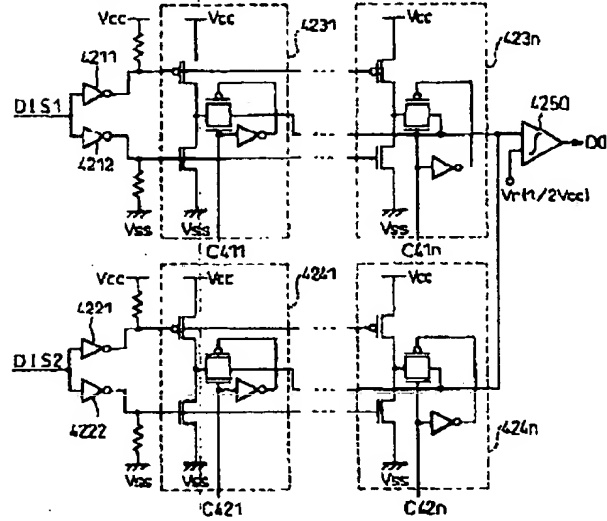
図33の位相インターポレータにおける重み付け制御部の構成例を示す回路図



【図36】

図36

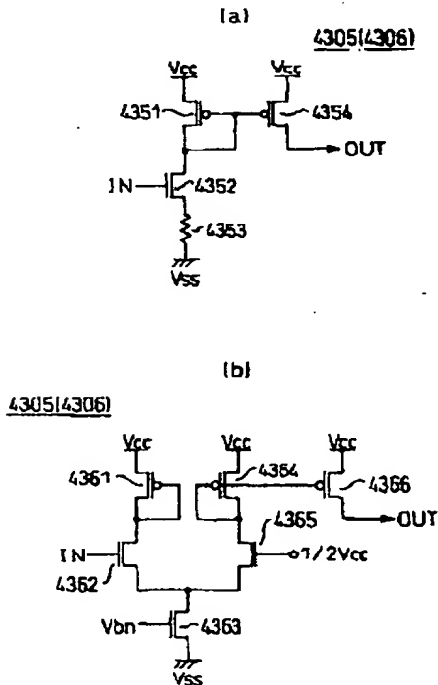
本発明の第14実施例としての位相インターポレータの構成例を示す回路図



【図38】

図38

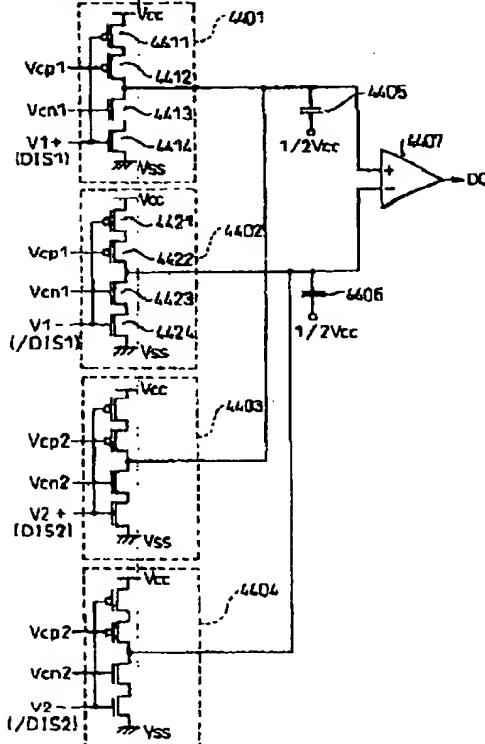
図37の位相インターポレータにおけるトランスコンダクタの例を示す回路図



【図39】

図39

本発明の第16実施例としての位相インターポレータの構成例を示す回路図



36/

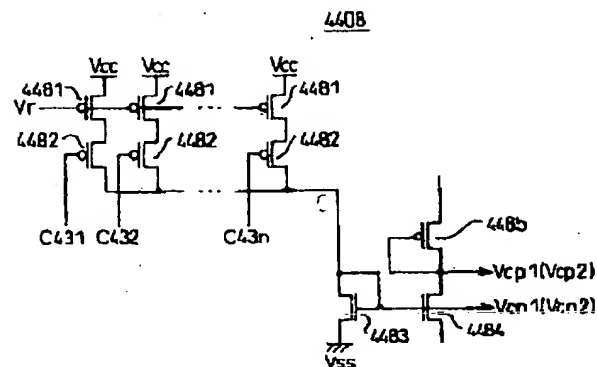
(29)

特開平11-261408

【図40】

図40

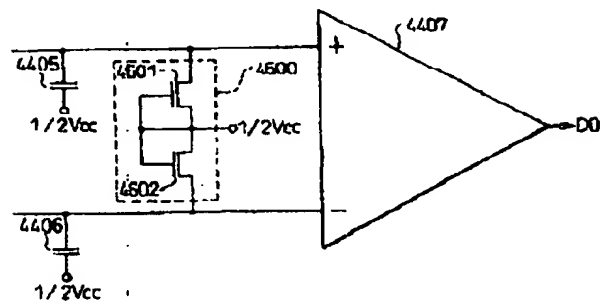
図39の位相インターポレータにおけるバイアス信号を発生する回路の一例を示す回路図



【図43】

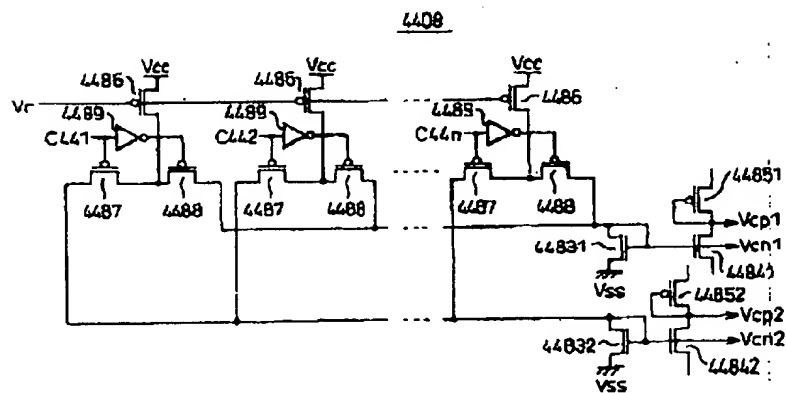
図43

本発明の第17実施例としての位相インターポレータの一部の構成例を示す回路図



【図41】

図39の位相インターポレータにおけるバイアス信号を発生する回路の他の例を示す回路図

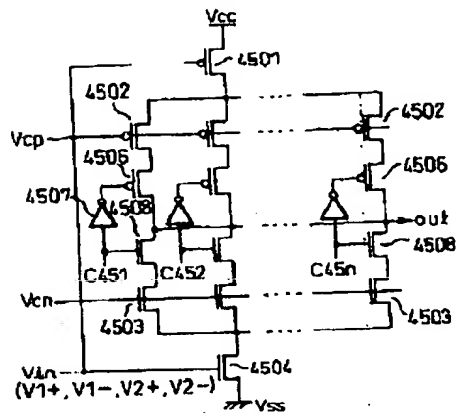




特開平 11-261408

图 42

4500



(72)発明者 若山 繁俊  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内